



2836

08-2001

2400
2800

EXPRESS MAIL CERTIFICATE

Date 8/17/01 Label No. 0905056666-15

I hereby certify that, on the date indicated above, this paper or fee was deposited with the U.S. Postal Service & that it was addressed for delivery to the Assistant Commissioner for Patents, Washington, DC 20231 by "Express Mail Post Office to Addressee" service.

PLEASE CHARGE ANY DEFICIENCY UP TO \$300.00 OR CREDIT ANY EXCESS IN THE FEES DUE WITH THIS DOCUMENT TO OUR DEPOSIT ACCOUNT NO. 04-0100

Name (Print) Jessica Rojas Signature Jessica Rojas

Customer No.:



07278

PATENT TRADEMARK OFFICE

Docket No.: 3158/OJ557

Alene
10/24/01
Priority

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Ming-Dou KER; Hun-Hsien CHANG; Wen-Tai WANG

Serial No.: 09/887,980

Art Unit:

Confirmation No.:

Filed: 06/22/01

Examiner:

For: SCR DEVICES WITH DEEP-N-WELL STRUCTURE FOR ON-CHIP ESD PROTECTION CIRCUITS

CLAIM FOR PRIORITY

Hon. Commissioner of
Patents and Trademarks
Washington, DC 20231


Sir:

Applicant hereby claims priority under 35 U.S.C. Section 119 based on
Taiwan, R.O.C. application No. 090105019 filed March 5, 2001.

A certified copy of the priority document is submitted herewith.

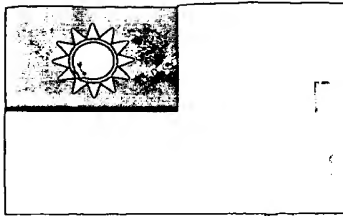
Respectfully submitted,

Dated: August 17, 2001



Ya-Chiao Chang
Reg. No. 43,407
Attorney for Applicant(s)

DARBY & DARBY P.C.
805 Third Avenue
New York, New York 10022
212-527-7700



SEP -3 2001

TO 2000 MAIL ROOM

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 03 月 05 日
Application Date

申請案號：090105019
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 7 月 24 日
Issue Date

發文字號：09011010893
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有深井區結構之矽控整流器元件及其在靜電放電防護電路上之應用
	英 文	
二、 發明人	姓 名 (中文)	1. 柯明道 2. 張恆祥 3. 王文泰
	姓 名 (英文)	1. Ming-Dou Ker 2. Hun-Hsien Chang 3. Wen-Tai Wang
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之三 2. 台北縣汐止市大同路二段337號 3. 台北市信義區興隆里3鄰基隆路一段350-21號二樓
三、 申請人	姓 名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓 名 (中文)	1. 張忠謀
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：具有深井區結構之矽控整流器元件及其在靜電放電防護電路上之應用)

本發明提出一種具有深井區結構的靜電放電(ESD)防護元件及相關之ESD防護電路。ESD防護元件設於一耦合至一相對低電壓源之P型基底上。該ESD防護元件包含有一側向矽控整流器以及一深N型井。該側向矽控整流器有一p型層、一N型層、一第一N型井以及一第一P型井。該p型層作為該SCR之一陽極。該N型層作為該SCR之一陰極。該第一N型井設於該p型層與該N型層之間，鄰接至該p型層。該第一P型井鄰接至該N型層與該第一N型井。該深N型井設於該第一P型井與該P型基底之間，用以隔絕該第一P型井至該P型基底之間的電連接。如此，本發明之ESD防護元件可以被自由的串接複數個，以提高ESD防護電路的總持守電壓，並預防栓鎖事件的發生。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

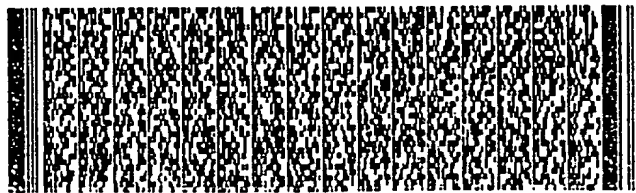
無

五、發明說明 (1)

本發明係有關於一種具有深井區結構的矽控整流器 (silicon controlled rectifier, SCR) 元件，尤指一種用於靜電放電 (electrostatic discharge, ESD) 防護電路之矽控整流器元件。

ESD 已經是半導體產品中重要的可靠度考量之一，特別是對於縮小尺寸的互補式金氧半導體 (complementary metal oxide semiconductor, CMOS) 技術。因為金氧半電晶體 (metal oxide semiconductor, MOS) 之閘氧化層的崩潰電壓隨著製程技術進步而變低，因此，在每一個輸出入埠處設置 ESD 防護電路便成為預防 ESD 應力對閘氧化層造成損害的有效辦法之一。

因為 SCR 本身的持守電壓 V_{hold} 非常的低 (大約為 1V 左右)，在 ESD 事件中，SCR 所產生的熱功率 ($I_{ESD} * V_{hold}$) 將會較其他種類的 ESD 防護元件，譬如說二極體、MOS、雙接面電晶體 (bipolar junction transistor, BJT) 等，來的低。所以，SCR 可以在相同的面積下，耐受較高的 ESD 應力。也因此，SCR 被廣泛運用在許多的 ESD 防護電路中。一般在 CMOS 製程中，SCR 是利用井區以及重摻雜區形成於基底表面，所以又稱為側向 SCR (LSCR)。第 1(a) 圖為傳統的以一 LSCR 為主要 ESD 防護元件的 ESD 防護電路圖。第 1(b) 圖為第 1(a) 圖中的 LSCR 之剖面示意圖。LSCR 中的 PNP 結構由 P+ 摻雜區 10、N 型井 12、P 型基底 14 以及 N+ 摻雜區 16 所形成。第 1(c) 圖為第 1(b) 圖的 IV 曲線圖。第 1(b) 圖中的 LSCR 之觸發電壓 $V_{trigger}$ 大約等於 N 型井 12 與 P 型基底 14 之間的 PN 接面的



五、發明說明 (2)

崩潰電壓，約30到50伏特。此觸發電壓 $V_{trigger}$ 高於NMOS與PMOS之間氧化層的崩潰電壓，所以LSCR通常需要一個次級ESD防護元件(如第1(a)圖中的MESD)的協助以達到完整的ESD防護效能。

為了使SCR能更有效的保護輸出入埠，習知技術中也發展出低電壓觸發之SCR，簡稱LVTSCR。第2(a)圖為一般的使用LVTSCR作為ESD防護元件的電路圖。第2(b)圖為第2(a)圖中的LVTSCR之剖面示意圖。第2(c)圖為第2(b)圖中的LVTSCR之IV曲線圖。由第2(c)圖可知，經由NMOS的輔助，觸發電壓可以降至10伏特左右。

一般傳統的SCR或是LVTSCR都直接的與接地(VSS)之P型基底14相耦合，如第1(b)圖與第2(b)圖所示。因此，只能用作輸出入接合墊或是VDD對VSS的ESD防護電路。而且，也因為有共同接地的P型基底14，所以SCR(或是LVTSCR)也無法彼此相串接。

為了生產出具有高抗雜訊功能的類比或是高頻積體電路(integrated circuit, IC)，CMOS製程中一般會加入深N型井製程，用以隔絕接地的P型基底以及放置NMOS的P型井。而且，DRAM製程中也經常加入深N型井製程以隔絕記憶體陣列中的NMOS與週邊電路，預防週邊電路所產生的雜訊影響到儲存在記憶體陣列中的資料。然而，一旦雜訊觸發了如第1(a)圖或是第2(a)圖中的SCR與LVTSCR，輸出入接合墊上的電壓將會產生栓鎖現象，而無法接收到正確的訊息。



五、發明說明.(3)

有鑑於此，本發明的主要目的，在於利用深井區的結構，提供一種可以串接的SCR結構。另一主要的目的，在於使積體電路的輸出入埠不受雜訊的影響，可以防止栓鎖現象的發生。

根據上述之目的，本發明提出一種ESD防護元件，設於一耦合至一相對低電壓源之P型基底(substrate)上。該ESD防護元件包含有一側向矽控整流器以及一深N型井。該側向矽控整流器有一p型層、一N型層、一第一N型井以及一第一P型井。該p型層作為該SCR之一陽極。該N型層作為該SCR之一陰極。該第一N型井設於該p型層與該N型層之間，鄰接至該p型層。該第一P型井鄰接至該N型層與該第一N型井。該深N型井設於該第一P型井與該P型基底之間，用以阻隔該第一P型井至該P型基底之電連接。

本發明另提出一種靜電放電防護電路，耦合於一第一接合墊與一第二接合墊之間。該靜電放電防護電路包含有一具有一陰極以及一陽極之ESD防護元件。該ESD防護元件設於一耦合至一相對低電壓源的P型基底上，包含有一側向SCR以及一深N型井。該側向SCR包含有一p型層、一N型層、一第一N型井以及一第一P型井。該p型層作為該SCR之陽極。該N型層作為該SCR之陰極。該第一N型井設於該p型層與該N型層之間，鄰接至該p型層。該第一P型井鄰接至該N型層與該第一N型井。該深N型井設於該第一P型井與該P型基底之間，用以阻隔該第一P型井至該P型基底之電連接。其中，於一ESD事件時，該陽極與該陰極係分別耦合



五、發明說明 (4)

至該第一接合墊與該第二接合墊。

本發明之優點在於該深N型井可以適當的增加該第一P型井至該P型基底之間的等效電阻，甚至，經過適當的設計後，可以隔絕該第一P型井與該P型基底之間的電連接。

因此，本發明之ESD防護元件可以多個串連在一起，以增加整體ESD防護電路的總持守電壓，防止栓鎖事件的發生。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1(a)圖為傳統的以一LSCR為主要ESD防護元件的ESD防護電路圖；

第1(b)圖為第1(a)圖中的LSCR之剖面示意圖；

第1(c)圖為第1(b)圖的IV曲線圖；

第2(a)圖為一般的使用LVTSCR作為ESD防護元件的電路圖；

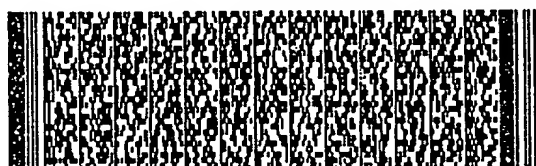
第2(b)圖為第2(a)圖中的LVTSCR之剖面示意圖；

第2(c)圖為第2(b)圖中的LVTSCR之IV曲線圖；

第3(a)圖與第3(b)圖為兩個本發明的NSCR之剖面示意圖以及其代表符號圖；

第4(a)圖與第4(b)圖為兩個本發明的PSCR之剖面示意圖以及其代表符號圖；

第5圖為本發明之另一種NSCR的剖面圖；



五、發明說明。(5)

第6圖為本發明之另一種PSCR的剖面圖；

第7圖為應用本發明之NSCR的一種VDD與VSS之間的ESD箝制電路；

第8圖為第7圖的一種實施例；

第9圖為應用本發明之PSCR的一種VDD與VSS之間的ESD箝制電路；

第10圖為第9圖的一種實施例；

第11圖為在SCR串列中，混合使用本發明之NSCR與PSCR的一種實施例示意圖；

第12圖與第13圖為兩個運用本發明之NSCR與二極體串接之VDD與VSS間的ESD箝制電路；

第14圖與第15圖為兩個運用本發明之PSCR與二極體串接之VDD與VSS間的ESD箝制電路；

第16圖為本發明之NSCR與PNSCR應用於一輸入埠的示意圖；

第17圖為第16圖的一種實施例；

第18圖為本發明之NSCR與PNSCR應用於一輸出埠的示意圖；

第19圖為第18圖的一種實施例；

第20圖為本發明之NSCR與PSCR應用於一輸入埠的示意圖；

第21圖為為本發明之NSCR與PSCR應用於輸出埠的示意圖；

第22圖為一種運用本發明之NSCR(或PSCR)於分離之



五、發明說明.(6)

VDD(或VSS)間的ESD防護電路示意圖；以及

第23圖為另一種運用本發明之NSCR(或PSCR)於分離之VDD(或VSS)間的ESD防護電路示意圖。

符號說明：

- 10、48、52、54、56~P+摻雜區；
- 12、34、42、60~N型井；
- 14、30~P型基底；
- 16、44、46、50、62~N+摻雜區；
- 32~深N型井；
- 36、38、40~P型井；
- 70、74、76、80、82、94、96~ESD偵測電路；
- 72~內部電路；
- 84~輸入接合墊；
- 86~輸出接合墊；
- 90、92~雙向ESD防護電路。

實施例：

第一實施例

第3(a)圖一本發明的NSCR之剖面示意圖以及其代表符號圖。NSCR表示以NMOS來觸發的SCR。第3(a)圖中的NSCR有三個電極：陽極(anode)、陰極(cathode)以及控制閘極(V-GN)。NSCR中的PNPN結構以P型井38、N型井42、P型井40以及N+摻雜區46所構成。P型井38以及P+摻雜區52作為NSCR的陽極。P型井40與接地的P型基底30中間以深N型井



五、發明說明。(7)

32 相隔絕。P 型井 40 中有一個 NMOS。NMOS 的汲極是以跨越 P 型井 40 與 N 型井 42 之間的 PN 接面之 N+ 摻雜區 44 所構成。

NMOS 的源極是以 N+ 摻雜區 46 所構成，同時作為 NSCR 的陰極。P 型井 40 透過 P+ 摻雜區 48，耦合到陰極。深 N 型井透過 N 型井 34 連接到 VDD，放置在整個 PNP 結構與 P 型基底 30 之間。在實際的佈局上，連接到 VDD 的 N 型井 34 環繞了整個 NSCR 元件。P 型基底 30 透過 P 型井 36 與 P+ 摻雜區 54 連接到 VSS。因此，NSCR 的主體可以說是電浮動於接地的 P 型基底 30 之上。

當施予閘極一個正電壓時，NMOS 將會被開啟而提供一開啟電流進入 P 型井 40 內，透過栓鎖正回饋的機制，此開啟電流可以觸發 NSCR，使陰極與陽極之間的電壓差維持在持守電壓 ($\sim 1V$)。NSCR 開啟後的電流路徑如第 3(a) 圖中的虛線所示。因為 P 型井 40 是與 P 型基底 30 相隔絕的，因此，由 NMOS 所提供的開啟電流不會分散到 P 型基底 30。此為本發明之 NSCR 與傳統的 LVTSCR 最大的差異處。因為，開啟電流被限制由 N+ 摻雜區 44 流入、從陰極處流出，因此，足以有效的觸發 NSCR，NSCR 的開啟速度將可以非常的快速。尤其是當 ESD 事件時，ESD 防護元件的開啟速度往往決定了 IC 的 ESD 耐受力。ESD 防護元件更早開啟，代表了可以更早的釋放 ESD 電流，足以使 ESD 防護的效果更為完備。

第 3(b) 圖與第 3(a) 圖類似，為另一本發明的 NSCR 之剖面示意圖以及其代表符號圖。其中，第 3(a) 圖中的 P 型井 38 以 N 型井取代，如第 3(b) 圖中的 N 型井 42。因此，作為陽



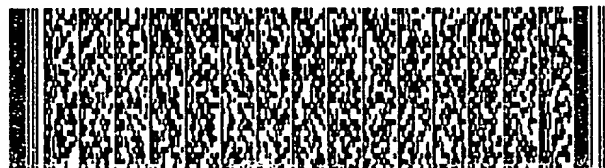
五、發明說明 (8)

極的P+摻雜區52設於N型井42中。第3(b)圖中NSCR之PNPN結構以P+摻雜區52、N型井42、P型井40以及N+摻雜區46所構成。

第二實施例

相同的道理，本發明也可以實施於PSCR。第4(a)圖為一本發明的PSCR之剖面示意圖以及其代表符號圖。第4(a)圖中的PSCR有三個電極：陽極(anode)、陰極(cathode)以及控制閘極(VGP)。PSCR中的PNPN結構一樣以P型井38、N型井42、P型井40以及N+摻雜區46所構成。P型井38以及P+摻雜區52作為PSCR的陽極。P型井40與接地的P型基底30之間以深N型井32相隔絕。N型井42中有一個PMOS。PMOS的源極是以跨越P型井38與N型井42之間的PN接面之P+摻雜區52所構成，同時作為PSCR的陽極。PMOS的汲極是以跨越P型井40與N型井42之間的PN接面上的P+摻雜區56所構成。P型井40透過P+摻雜區48，耦合到陰極。深N型井32透過N型井34連接到VDD，放置在整個PNPN結構與P型基底30之間。在實際的佈局上，連接到VDD的N型井34環繞了整個PSCR元件。P型基底30透過P型井36與P+摻雜區54連接到VSS。因此，PSCR的主體可以說是電浮動於接地的P型基底30之上。

當施予閘極一個相對於源極之負電壓時，PMOS將會被開啟而提供P型井40一個開啟電流，透過栓鎖正回饋的機制，此開啟電流可以觸發PSCR，使陰極與陽極之間的電壓差維持在持守電壓。PSCR開啟後的電流路徑如第4(a)圖中



五、發明說明 (9)

的虛線所示。因為P型井40是與P型基底30相隔絕的，因此，由PMOS所提供的開啟電流不會分散到P型基底30。此為本發明之PSCR與傳統的LVTSCR最大的差異處。因為，開啟電流被限制從陰極處流出，因此，足以有效的觸發PSCR，PSCR的開啟速度將可以非常的快速，以提供更具時效性的ESD防護功能。

第4(b)圖與第4(a)圖類似，為另一本發明的PSCR之剖面示意圖以及其代表符號圖。其中，第4(a)圖中的P型井38以N型井取代，如第4(b)圖中的N型井42。因此，作為陽極的P+摻雜區52設於N型井42中。第4(b)圖中PSCR之PNPN結構以P+摻雜區52、N型井42、P型井40以及N+摻雜區46所構成。

第三實施例

本發明之NSCR也可以使用另一種結構實施，如第5圖所示。第5圖為本發明之另一種NSCR的剖面圖。第5圖中的NSCR有三個電極：陽極(anode)、陰極(cathode)以及控制閘極(VGN)。NSCR中的PNPN結構以P+摻雜區52、N型井42、P型井40以及N型井60(或N+摻雜區46)所構成。P+摻雜區52作為NSCR的陽極。P型井40中有一個NMOS。NMOS的汲極是以跨越P型井40與N型井42之間的PN接面之N+摻雜區44所構成。NMOS的源極是以N+摻雜區46所構成，同時作為NSCR的陰極。深N型井3201與3202彼此放置的非常靠近，以增加P型井40與P型基底30之間的等效電阻。深N型井3201連接到N型井60，深N型井3202連接到N型井42。只要在控制閘極



五、發明說明 (10)

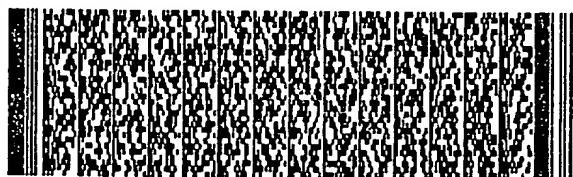
VGN 提供適當的電壓，透過深N型井3201與3202對啟動電流的限制，可以加速NSCR的開啟速度。圖中的虛線表示ESD電流的釋放路徑。

第四實施例

第6圖為本發明之另一種PSCR的剖面圖。第6圖中的PSCR有三個電極：陽極(anode)、陰極(cathode)以及控制閘極(VGP)。PSCR中的PNPN結構以P+摻雜區52、N型井42、P型井40以及N型井60(或N+摻雜區46)所構成。P+摻雜區52作為NSCR的陽極。N型井42中有一個PMOS。PMOS的汲極是以跨越P型井40與N型井42之間的PN接面之P+摻雜區56所構成。PMOS的源極是以P+摻雜區52所構成，同時作為PSCR的陽極。N型井42透過N+摻雜區62耦合至陽極。深N型井3201與3202彼此放置的非常靠近，以增加P型井40與P型基底30之間的等效電阻。深N型井3201連接到N型井60，深N型井3202連接到N型井42。只要在控制閘極VGP提供適當的電壓，透過深N型井3201與3202對啟動電流的限制，可以加速PSCR的開啟速度。圖中的虛線表示ESD電流的釋放路徑。

第五實施例

第7圖為應用本發明之NSCR的一種VDD與VSS之間的ESD箝制電路。順向串接的NSCR₁~NSCR_n連接到VDD電源線與VSS電源線。所有的NSCR的控制閘均連接在一起，受控於一ESD偵測電路70。當ESD事件跨壓在VDD與VSS電源線上時，ESD偵測電路70偵測出ESD事件的發生，並提供一個高電



五、發明說明 (11)

壓至所有的控制閘，使NSCR₁~NSCR_n開啟，以釋放ESD電流。許多個NSCR串接的目的是預防栓鎖問題的發生。順向串接的NSCR可以視為一個特別的SCR，其總持守電壓 V_{hold_total} 的值等於所有順向串接個別NSCR之持守電壓的總和。也就是說，只要 V_{hold_total} 大於正常操作時的VDD與VSS之間的電壓差，就算雜訊造成了此特別之SCR開啟，也不會產生栓鎖現象。假使每個NSCR都一樣，避免栓鎖現象發生的條件為

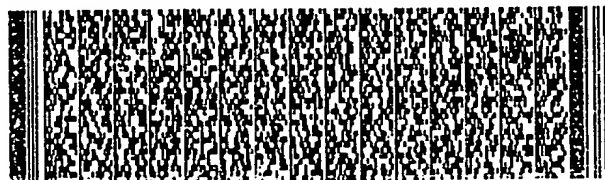
$$n > (VDD - VSS) / V_{hold_NSCR} ;$$

其中， n 為NSCR的串接個數， V_{hold_NSCR} 為每一個NSCR的持守電壓。

第8圖為第7圖的一種實施例。ESD偵測電路70以一個串接的電阻 R 與電容 C 作為一偵測器。CMOS反向器作為一個驅動器。於正常操作時，偵測器的輸出為高電壓，CMOS反向器則輸出低電壓以關閉所有NSCR中的NMOS。NSCR均為關閉狀態。於ESD事件時，因為RC延遲效應，偵測器的輸出會暫時為低電壓。所以，CMOS反向器由VDD提供電源，輸出高電壓，開啟所有的NSCR之NMOS。NSCR為開啟狀態，可以釋放ESD電流。為了辨別正常操作與ESD事件，電阻 R 與電容 C 的時間常數大約為0.1~1微秒。

第六實施例

本發明之PSCR一樣也可以應用於VDD與VSS之間的ESD箝制電路，如第9圖所示。順向串接的PSCR₁~PSCR_n連接到VDD電源線與VSS電源線。所有的PSCR的控制閘均連接在



五、發明說明 (12)

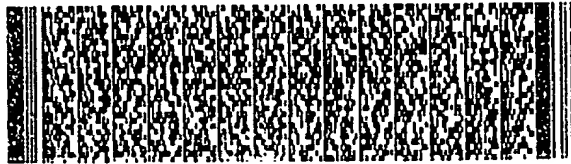
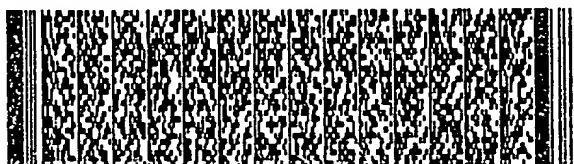
一起，受控於一ESD偵測電路74。當ESD事件跨壓在VDD與VSS電源線上時，ESD偵測電路74偵測出ESD事件的發生，並提供一個低電壓至所有的控制閘，使PSCR₁~PSCR_n開啟，以釋放ESD電流。於正常操作時，ESD偵測電路74的輸出為高電壓，關閉所有PSCR中的PMOS，PSCR均為關閉狀態。

第10圖為第9圖的一種實施例。ESD偵測電路74以一個串接的電阻R與電容C作為一偵測器。兩個串聯的CMOS反向器作為一個驅動器。於正常操作時，偵測器的輸出為高電壓，驅動器則輸出高電壓以關閉所有PSCR中的PMOS，PSCR均為關閉狀態。於ESD事件時，因為RC延遲效應，偵測器的輸出會暫時為低電壓。所以，驅動器由VSS提供電源，輸出低電壓，開啟所有的PSCR之PMOS。PSCR為開啟狀態，可以釋放ESD電流。為了辨別正常操作與ESD事件，電阻R與電容C的時間常數大約為0.1~1微秒。

第七實施例

第11圖為在SCR串列中，混合使用NSCR與PSCR的一種實施例示意圖。於正常電源操作時，ESD偵測電路76提供低電壓予所有的NSCR中的控制閘，並提供高電壓予所有的PSCR中的控制閘。當ESD事件跨壓於VDD以及VSS之間時，ESD偵測電路76提供高電壓予所有的NSCR中的控制閘以開啟NMOS，並提供低電壓予所有的PSCR中的控制閘以開啟PMOS。

第八實施例



五、發明說明 (13)

本發明之NSCR可以與二極體串列銜接以形成一個VDD與VSS之間的ESD箝制電路，一樣也可以防止栓鎖的問題。第12與13圖為此觀念的兩個實施列。與二極體串接的目的是提高整個ESD防護電路的持守電壓 V_{hold} 。本發明之NSCR可以插入於二極體串列中的任何一個位置，譬如說，在最靠近VDD的位置(第12圖)，或是最靠近VSS的位置(第13圖)，甚至是中間任何的位置(未顯示)。於ESD事件發生時，ESD偵測電路70可以提供一個高電壓，以開啟NSCR中的NMOS，並觸發NSCR。

第九實施例

本發明之PSCR可以與二極體串列銜接以形成一個VDD與VSS之間的ESD箝制電路，一樣也可以防止栓鎖的問題。第14與15圖為此觀念的兩個實施列。與二極體串接的目的是提高整個ESD防護電路的持守電壓 V_{hold} 。本發明之PSCR可以插入於二極體串列中的任何一個位置，譬如說，在最靠近VDD的位置(第14圖)，或是最靠近VSS的位置(第15圖)，甚至是中間任何的位置(未顯示)。於ESD事件發生時，ESD偵測電路72可以提供一個低電壓，以開啟PSCR中的PMOS，並觸發PSCR。

第十實施例

第16圖為本發明之NSCR與PSCR應用於一輸入埠的示意圖。第17圖為第16圖的一種實施例。其中，輸入接合墊84與VDD之間設有順向串接的PSCR₁~PSCR_n，輸入接合墊84與VSS之間設有順向串接的NSCR₁~NSCR_n。



五、發明說明 (14)

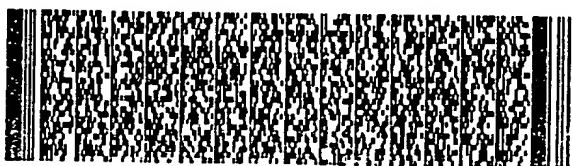
PSCR₁~PSCR_n中所有的控制閘均受ESD偵測電路80控制，NSCR₁~NSCR_n中所有的控制閘均受ESD偵測電路82控制。於ESD偵測電路80或是82之中的RC耦合電路用以偵測ESD事件的發生。當一相對於VSS的正ESD脈衝衝擊於輸入接合墊84時，ESD偵測電路82開啟NSCR₁~NSCR_n中所有的NMOS，以觸發NSCR₁~NSCR_n並釋放ESD電流。相同的道理，當一相對於VDD的負ESD脈衝衝擊於輸入接合墊84時，ESD偵測電路80開啟PSCR₁~PSCR_n中所有的PMOS，以觸發PSCR₁~PSCR_n並釋放ESD電流。串接的數目n，如同先前所述，取決於，在一般的電源操作時，輸入接合墊84與VDD之間的最大電壓差，或是輸入接合墊84與VSS之間的最大電壓差。

第十一實施例

第18圖為本發明之NSCR與PNSCR應用於一輸出埠的示意圖。第19圖為第18圖的一種實施例。輸出接合墊86受輸出緩衝器85所驅動。輸出接合墊86與VDD之間設有順向串接的PSCR₁~PSCR_n，輸入接合墊86與VSS之間設有順向串接的NSCR₁~NSCR_n。PSCR₁~PSCR_n中所有的控制閘均受ESD偵測電路80控制，NSCR₁~NSCR_n中所有的控制閘均受ESD偵測電路82控制。

第十一實施例

本發明之NSCR與PSCR可以與二極體串列銜接以形成一個應用於輸出入埠之ESD防護電路。第20圖為本發明之NSCR與PSCR應用於輸入埠的示意圖。第21圖為為本發明之



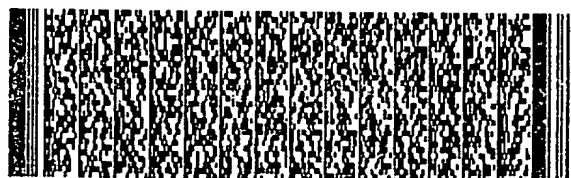
五、發明說明 (15)

NSCR與PSCR應用於輸出埠的示意圖。NSCR₁與複數個二極體Dn₂~Dn_k相串接，PSCR₁與複數個二極體Dp₂~Dp_k相串接。NSCR與相串接之二極體的數目均不限定為單獨一個，而是視持守電壓的需求而定。相同的，PSCR與相串接之二極體的數目也不限定為單獨一個。

第十二實施例

本發明之NSCR與PSCR可以應用於分離之電源線間的ESD防護電路。分離的電源線一般是為了避免一電路群所產生的雜訊透過電源線而干擾了另一個電路群。然而，分離的電源線同時也容易造成不預期的ESD損害。因此，分離的電源線之間也必須加裝ESD防護電路。第22圖為一種運用本發明之NSCR(或PSCR)於分離之VDD(或VSS)間的ESD防護電路示意圖。兩個雙向ESD防護電路90與92分別設於VDDH與VDDL之間，以及VSSH與VSSL之間。PSCR₁與二極體Dp₂~Dp_k彼此順向串接於VDDH與VDDL之間。當一VDDH對VDDL為正脈衝的ESD事件發生時，ESD偵測電路94提供一相對負電壓與PSCR₁中的PMOS以觸發PSCR₁。二極體Dp_a作為VDDH對VDDL為負脈衝的ESD事件時的ESD防護。NSCR₁與二極體Dn₂~Dn_k彼此順向串接於VSSH與VSSL之間。當一VSSH對VSSL為正脈衝的ESD事件發生時，ESD偵測電路96提供一相對正電壓與NSCR₁中的NMOS以觸發NSCR₁。二極體Dn_a作為VSSH對VSSL為負脈衝的ESD事件時的ESD防護。

而二極體的數目，如同先前所述，可以決定雙向ESD防護電路90與92的持守電壓，取決於電源線之間的雜訊容



五、發明說明 (16)

許值的大小。

第十三實施例

第23圖為另一種運用本發明之NSCR(或PSCR)於分離之VDD(或VSS)間的ESD防護電路示意圖。兩個雙向的ESD防護電路90與92分別設於VDDH與VDDL之間,以及VSSH與VSSL之間。PSCR_1、PSCR_3與二極體Dp_2、Dp_4、...等彼此順向串接於VDDH與VDDL之間。當一VDDH對VDDL為正脈衝的ESD事件發生時,ESD偵測電路94提供一相對負電壓以觸發PSCR_1與PSCR_3。二極體Dp_a作為VDDH對VDDL為負脈衝的ESD事件時的ESD防護。NSCR_1、NSCR_3與二極體Dn_2、Dn_4、...等彼此順向串接於VSSH與VSSL之間。當一VSSH對VSSL為正脈衝的ESD事件發生時,ESD偵測電路96提供一相對正電壓以觸發NSCR_1與NSCR_3。二極體DN_a作為VSSH對VSSL為負脈衝的ESD事件時的ESD防護。而二極體的數目與NSCR(或PSCR)的數目可以決定雙向ESD防護電路90與92的持守電壓。如果,VDDL與VDDH之間需要有更高的雜訊隔絕效果,則ESD防護電路90中的PSCR之數目或是二極體的數目要增加。相同的道理也適用於ESD防護電路92。

相較於習知的NSCR或是PSCR,其中的P型井均直接耦合至接地的P型基底,本發明之NSCR或是PSCR中的P型井利用了製程中所產生的深N型井來增加P型井到P型基底之間的阻值,甚至是隔絕了P型井到P型基底之間的電性連接。

因此,本發明之NSCR與PSCR可以使用多個順向串連的方式,提高ESD防護電路的持守電壓,達到避免栓鎖現象



五、發明說明 (17)

的發生。而且，不論是輸出入埠對電源線，或是電源線之間的ESD防護電路，均可以應用本發明之NSCR或是PSCR。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種靜電放電防護元件，設於一耦合至一相對低電壓源之P型基底(substrate)上，包含有：

一側向矽控整流器(silicon controlled rectifier, SCR)，其包含有：

一p型層，作為該SCR之一陽極；

一N型層，作為該SCR之一陰極；

一第一N型井，設於該p型層與該N型層之間，鄰接至該p型層；以及

一第一P型井，鄰接至該N型層與該第一N型井；以及

一深N型井，設於該第一P型井與該P型基底之間，用以隔絕該第一P型井至該P型基底之電連接。

2. 如專利申請範圍第1項之ESD防護元件，其中，該N型層係以一設於該第一P型井中的一第一N型摻雜區所構成。

3. 如專利申請範圍第1項之ESD防護元件，其中，該第一P型井係耦合至該陰極。

4. 如專利申請範圍第1項之ESD防護元件，其中，該深N型井係與一定偏壓(fix-biased)N型井相連接，耦合至一相對高電源。

5. 如專利申請範圍第4項之ESD防護元件，其中，該定偏壓N型井、該深N型井與該第一N型井係電性隔絕了該第一P型井與該P型基底。

6. 如專利申請範圍第4項之ESD防護元件，其中，該定偏壓N型井、該深N型井與該第一N型井係電性隔絕了該P型



六、申請專利範圍

層與該P型基底。

7. 如專利申請範圍第4項之ESD防護元件，其中，該定偏壓之N型井係環繞該側向SCR。

8. 如專利申請範圍第1項之ESD防護元件，其中，該側向SCR係為一N型SCR(n-type silicon controlled rectifier、NSCR)。

9. 如專利申請範圍第1項之ESD防護元件，其中，該側向SCR係為一P型SCR(n-type silicon controlled rectifier、PSCR)。

10. 如專利申請範圍第1項之ESD防護元件，其中，該N型層包含有一第二N型井，該深N型井包含有分開之一第一深N型井與一第二深N型井，分別接觸(butt)該第一N型井與該第二N型井。

11. 如專利申請範圍第1項之ESD防護元件，其中，該p型層係設於該第一N型井中。

12. 一種靜電放電防護電路，耦合於一第一接合墊與一第二接合墊之間，包含有：

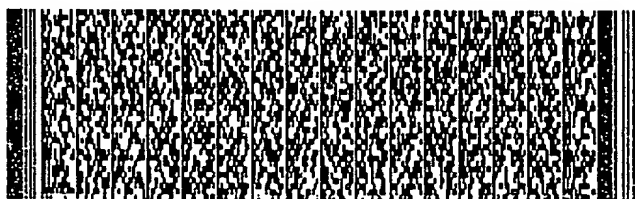
一ESD防護元件，具有一陽極以及一陰極，設於一耦合至一相對低電壓源的P型基底上，包含有：

一側向SCR，其包含有：

一p型層，作為該SCR之陽極；

一N型層，作為該SCR之陰極；

一第一N型井，設於該p型層與該N型層之間，鄰接至該p型層；以及



六、申請專利範圍

一 第一P型井，鄰接至該N型層與該第一N型井；以及
一 深N型井，設於該第一P型井與該P型基底之間，用以隔絕該第一P型井至該P型基底之電連接；

其中，於一ESD事件時，該陽極與該陰極係分別耦合至該第一接合墊與該第二接合墊。

13. 如專利申請範圍第12項之ESD防護電路，其中，該ESD防護電路另包含有一二極體，耦合於一第一接合墊與一第二接合墊之間，且順向的與該側向SCR串連。

14. 如專利申請範圍第12項之ESD防護電路，其中，該側向SCR係為一NSCR，該ESD防護電路另包含有一ESD偵測電路，當一ESD事件發生時，用以提供一啟動電壓予該NSCR之一控制閘極，以觸發該NSCR。

15. 如專利申請範圍第12項之ESD防護電路，其中，該側向SCR係為一PSCR，該ESD防護電路另包含有一ESD偵測電路，當一ESD事件發生時，用以提供一啟動電壓予該PSCR之一控制閘極，以觸發該PSCR。

16. 如專利申請範圍第14、15項之ESD防護電路，其中，該ESD偵測電路包含有一RC電路，用以偵測該ESD事件之發生。

17. 如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一相對高電壓源之一電源輸入，該第二接合墊係作為該相對低電壓源之一電源輸入。

18. 如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一相對高電壓源之一電源輸入，該第二



六、申請專利範圍

接合墊係作為一輸出入接合墊。

19. 如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一輸出入接合墊，該第二接合墊係作為該相對低電壓源之一電源輸入。

20. 如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一第一電壓源之一電源輸入，該第二接合墊係作為一第二電壓源之一電源輸入。

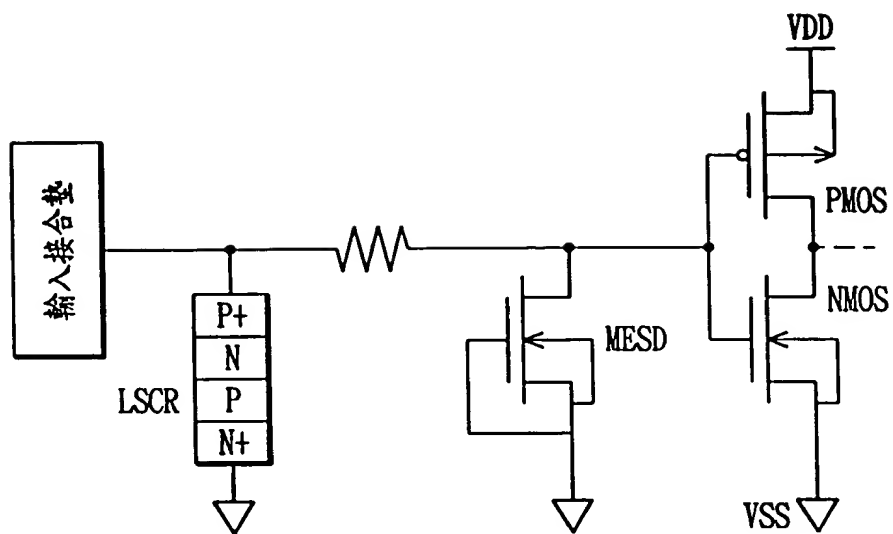
21. 如專利申請範圍第11項之ESD防護電路，其中，該ESD防護電路另包含有一反向ESD防護元件，該反向ESD防護元件具有一陽極耦合至該第二接合墊，以及一陰極耦合至該第一接合墊。

22. 如專利申請範圍第12項之ESD防護電路，其中，該ESD防護電路包含有複數個順向串聯之側向SCR，耦合於該第一接合墊與該第二接合墊之間。

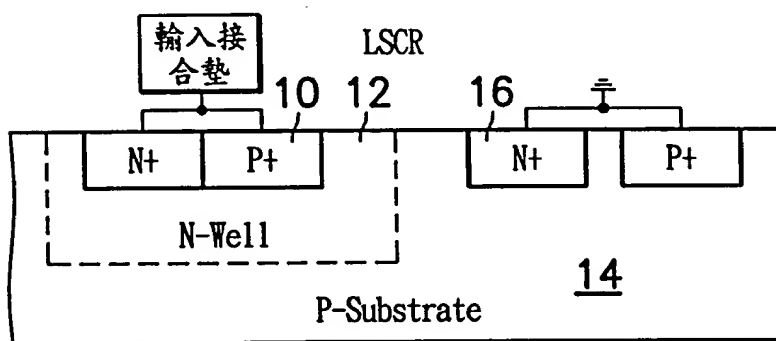
23. 如專利申請範圍第22項之ESD防護電路，其中，該等側向SCR具有複數相對應之持守電壓，該等持守電壓的總和大於該第一接合墊與該第二接合墊之間的一最大正常跨壓。

24. 如專利申請範圍第23項之ESD防護電路，其中，該第一接合墊與該第二接合墊均為電源線，該最大正常跨壓係為該二電源線之一電壓差。

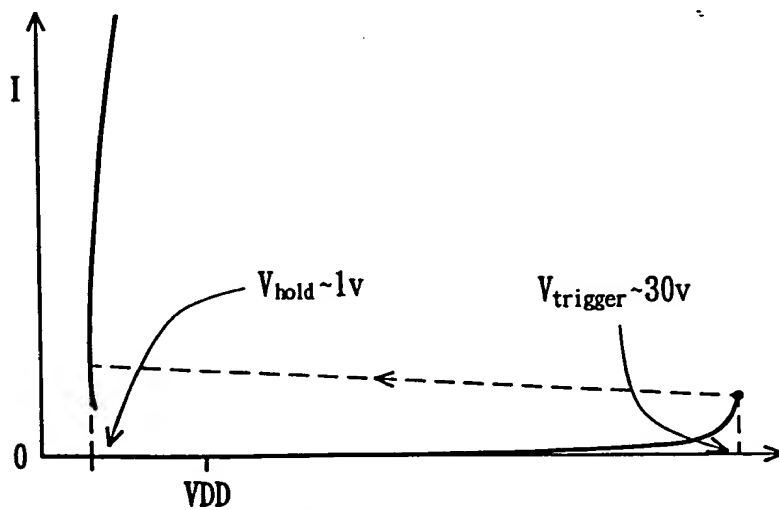




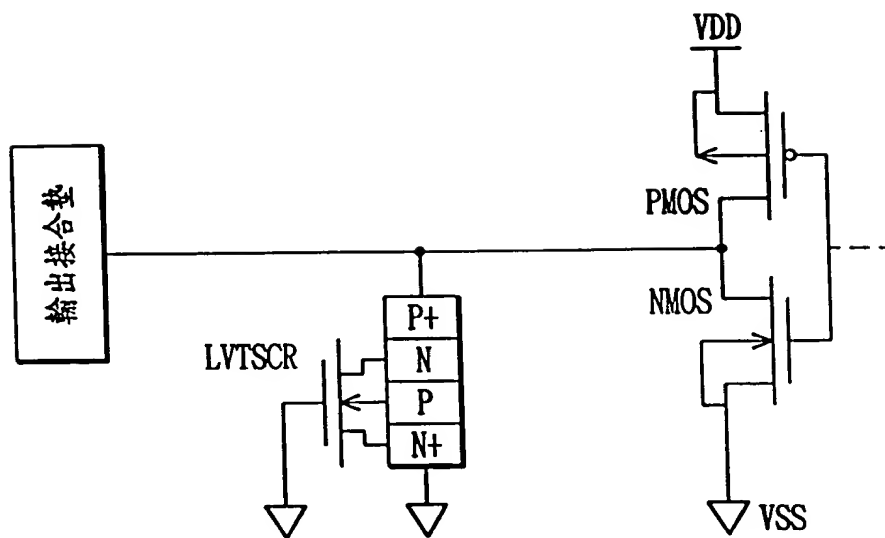
第 1a 圖



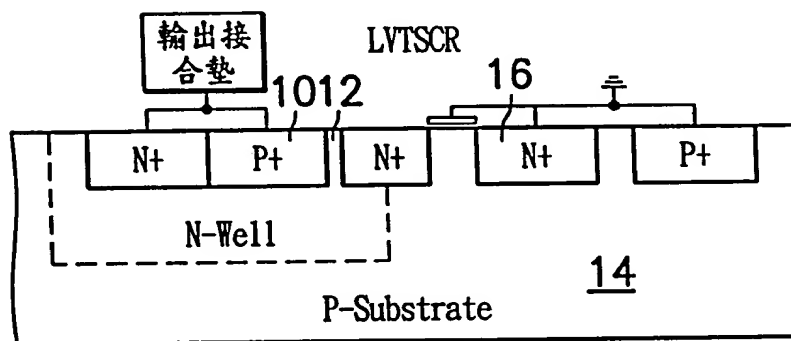
第 1b 圖



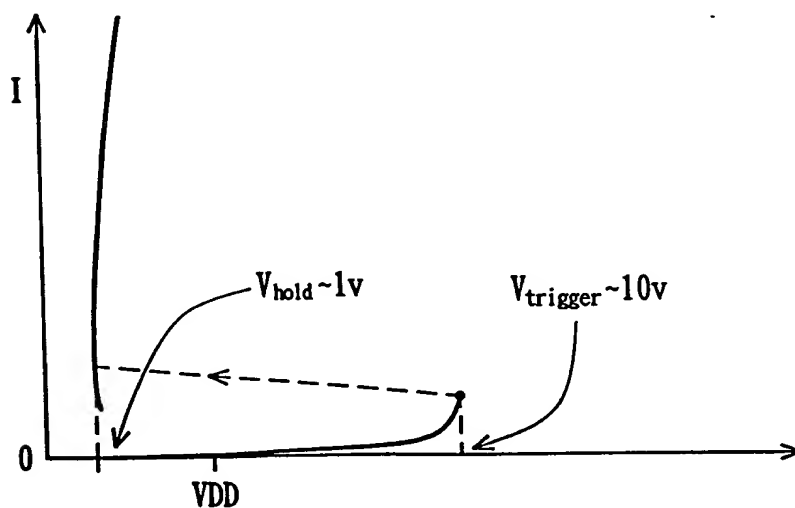
第 1c 圖



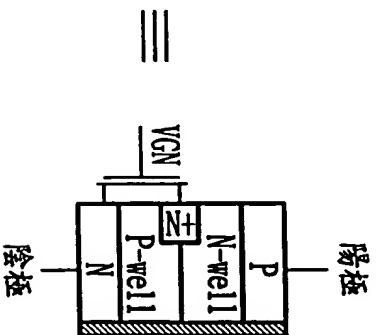
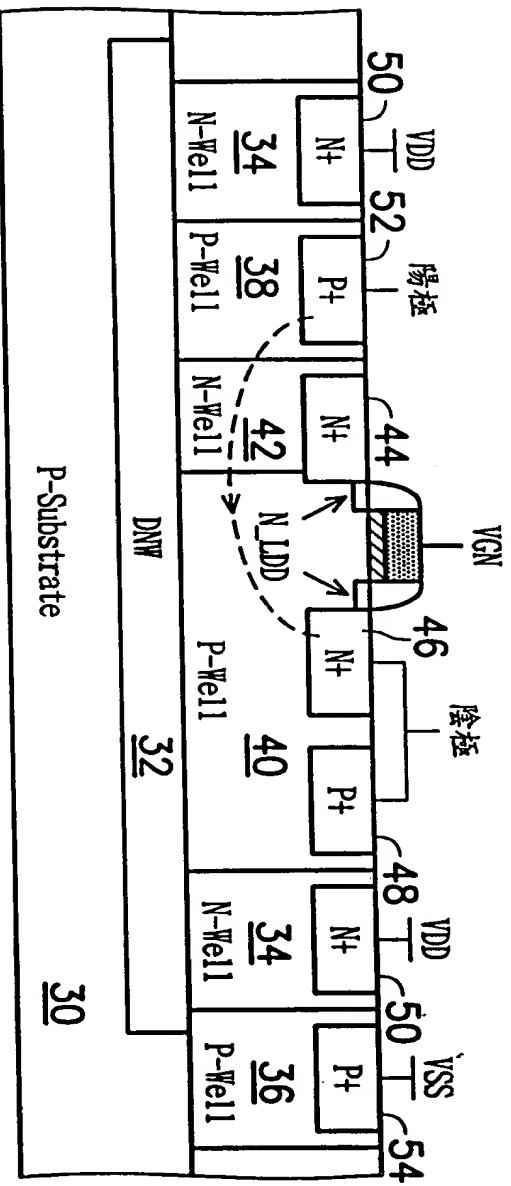
第 2a 圖



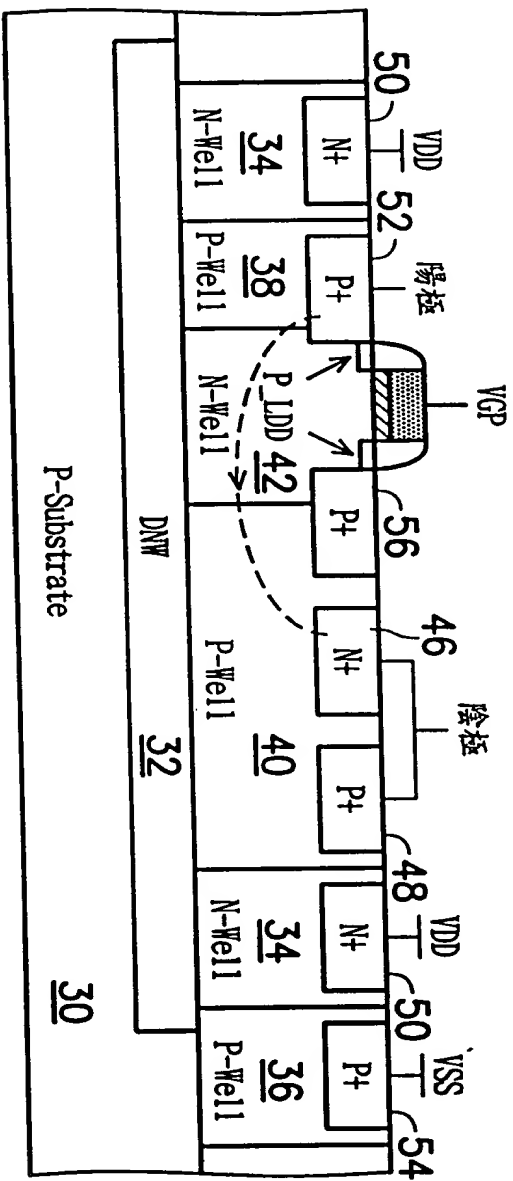
第 2b 圖



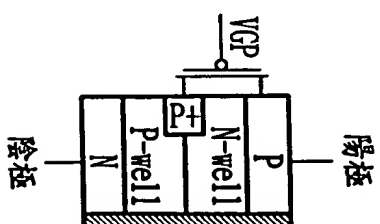
第 2c 圖



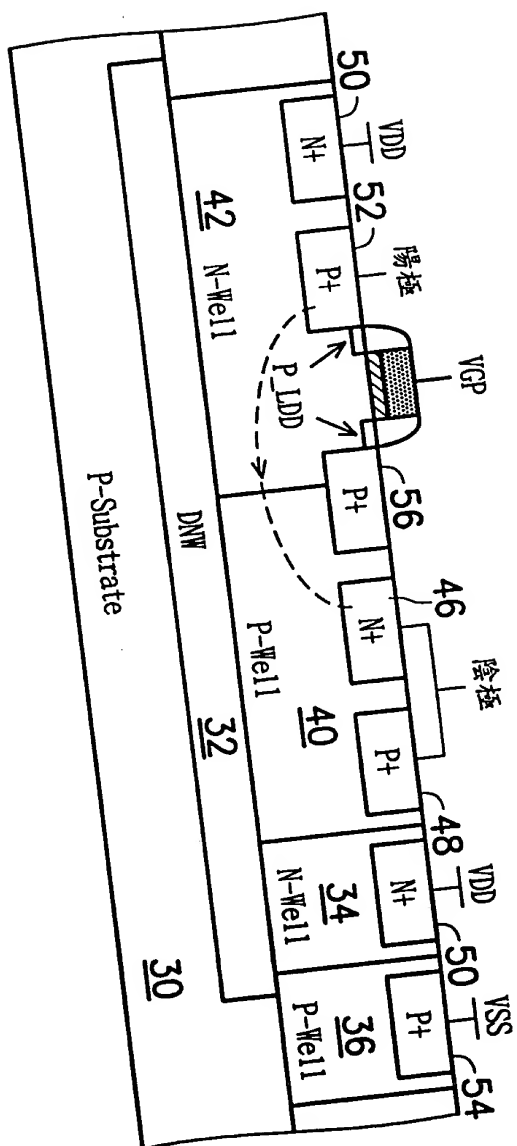
第 30 圖



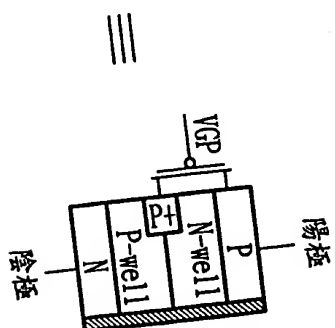
≡

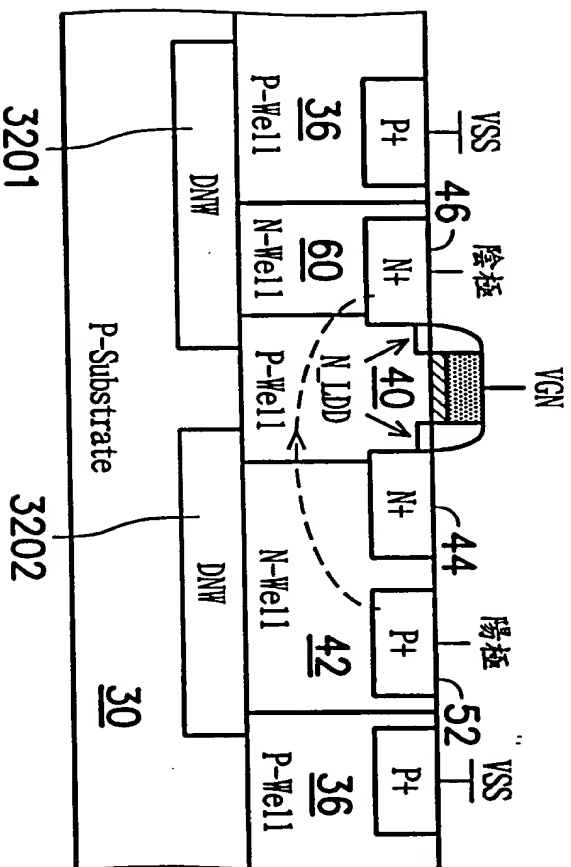


第4a圖

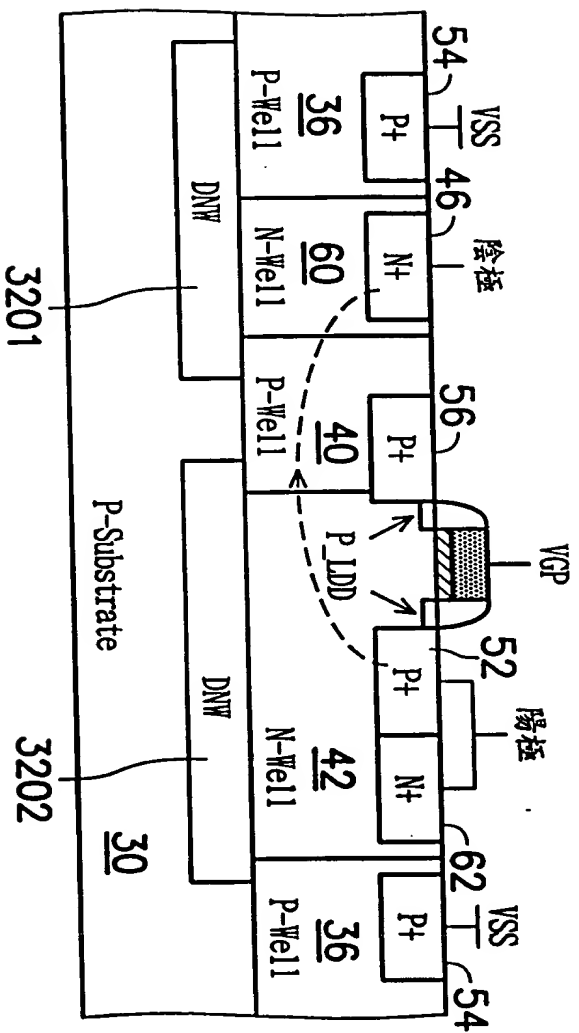


第 4b 圖

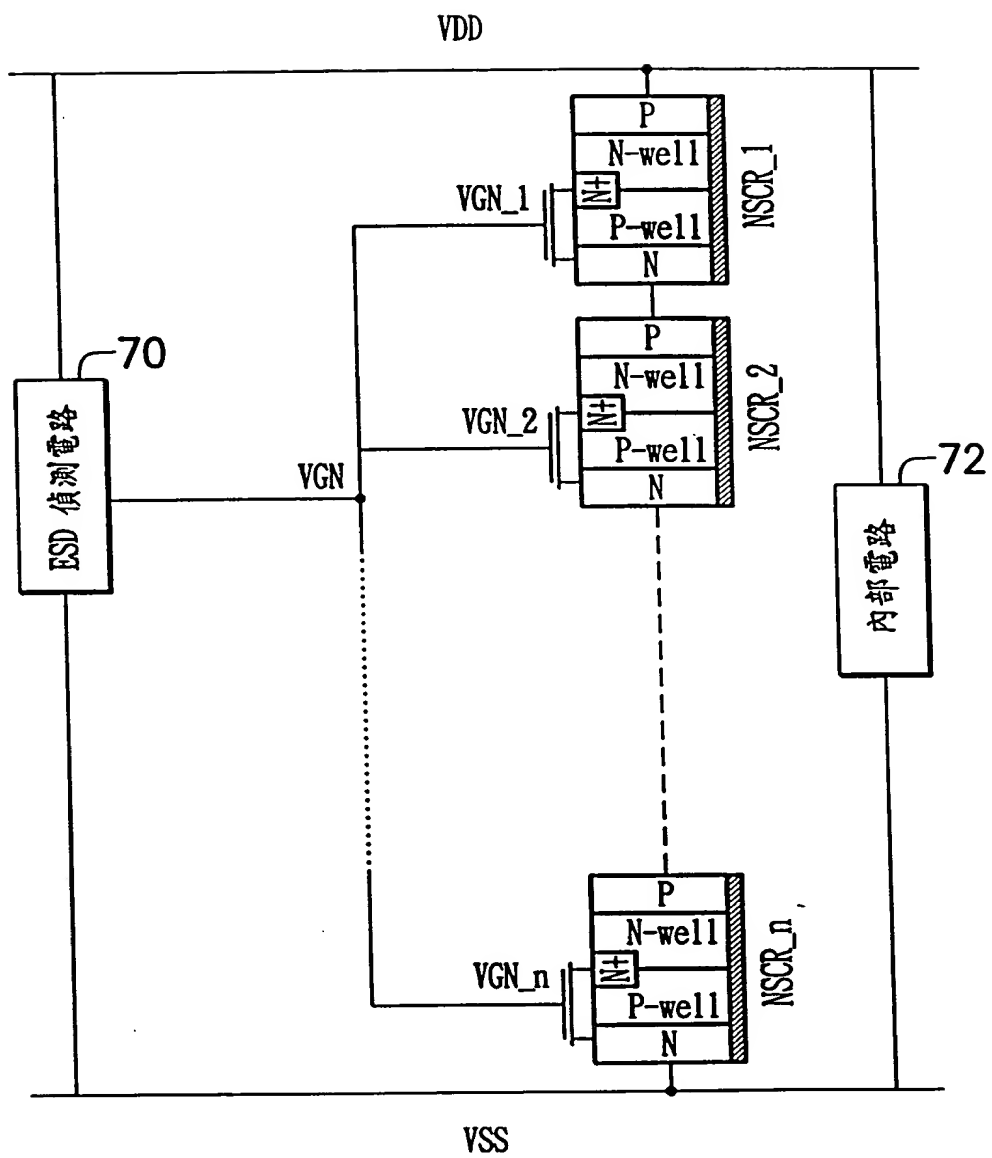




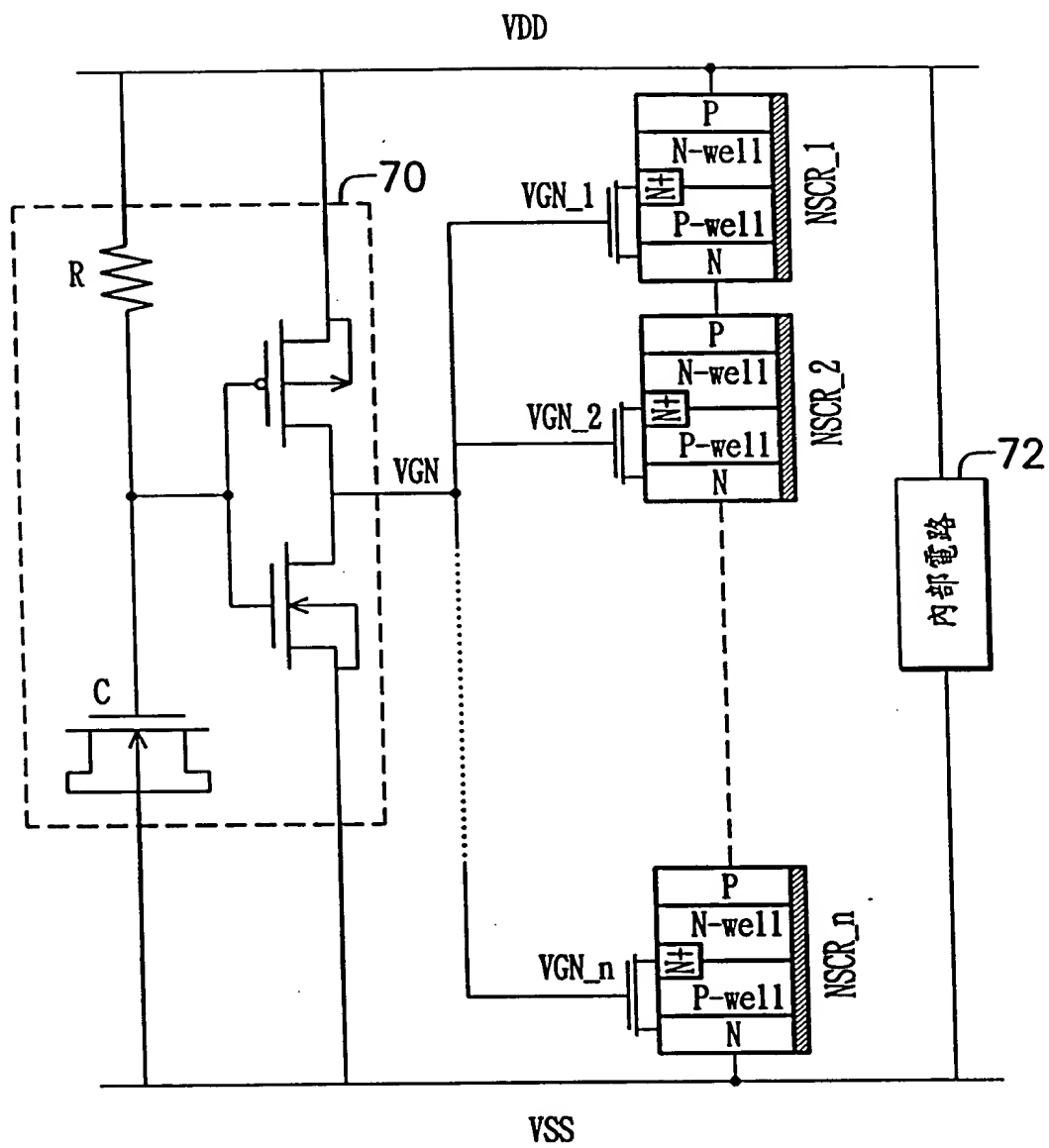
第 5 圖



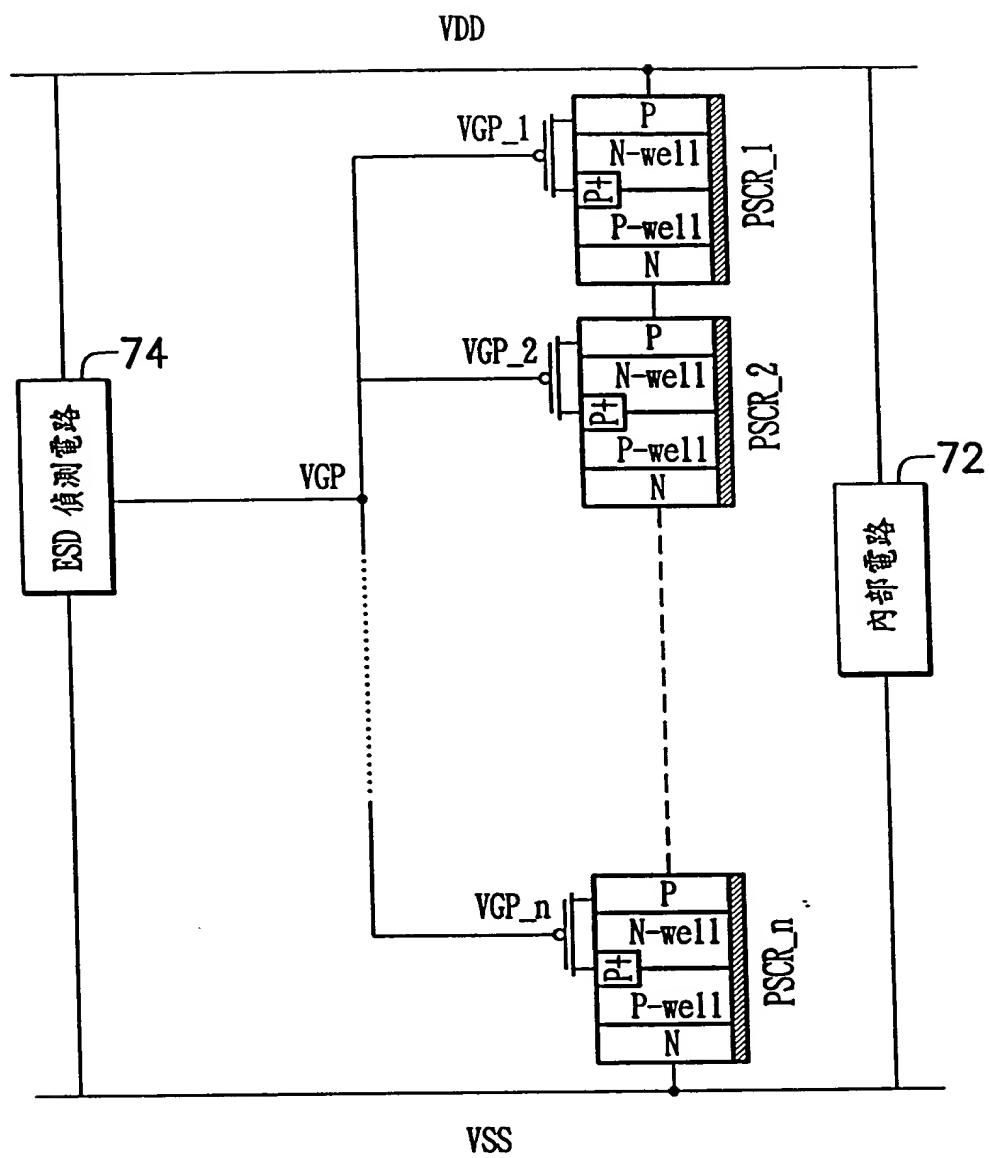
第 6 圖



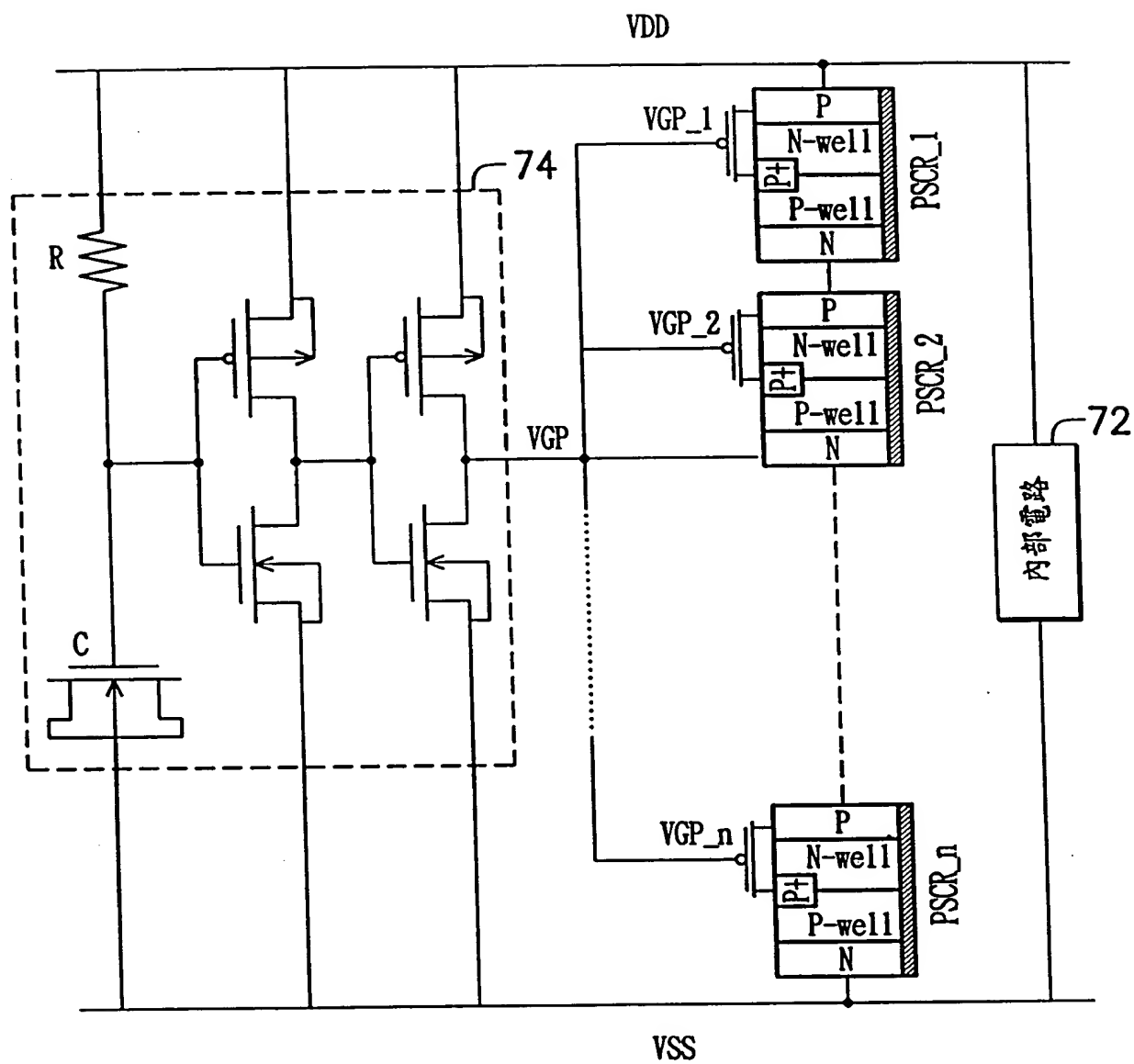
第 7 圖



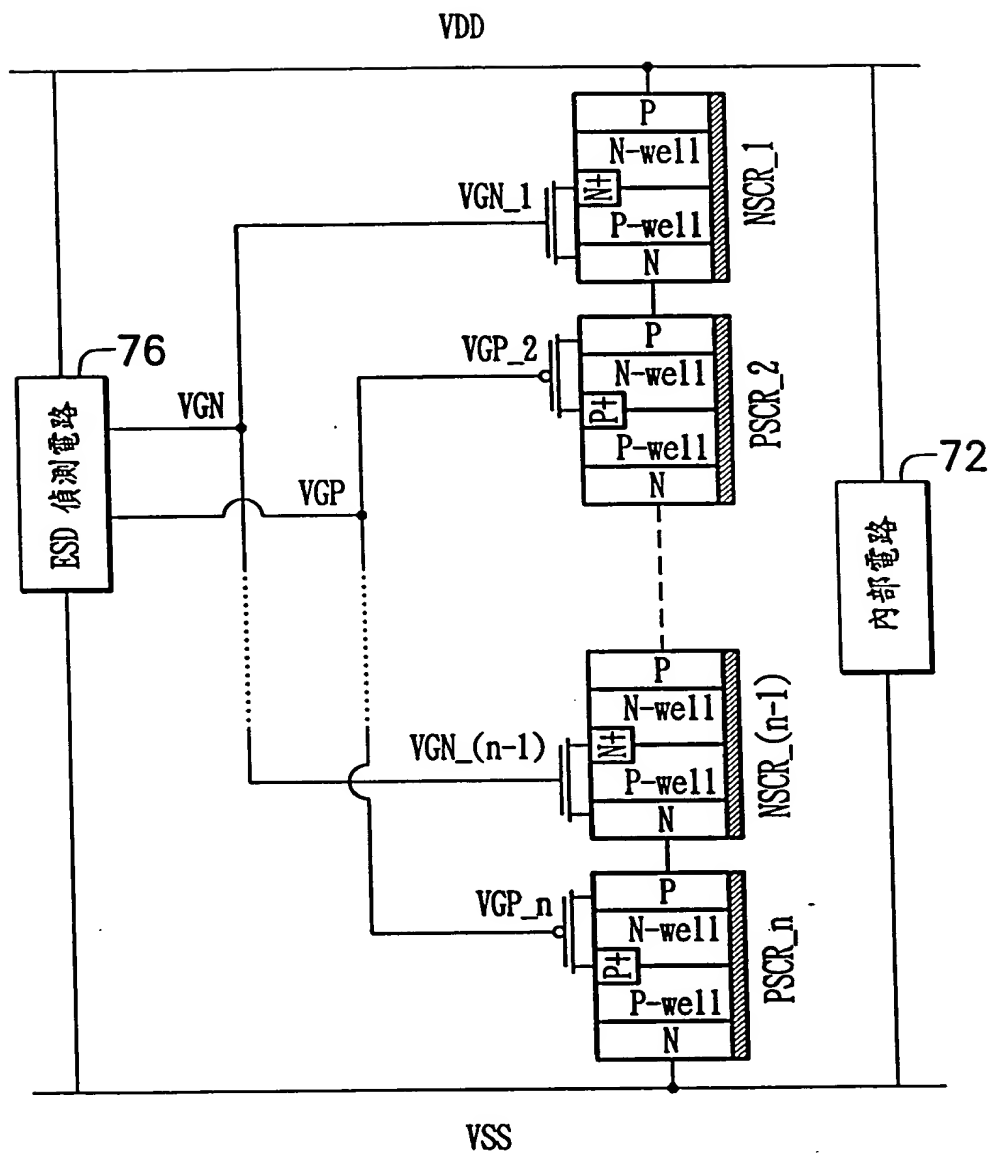
第 8 圖



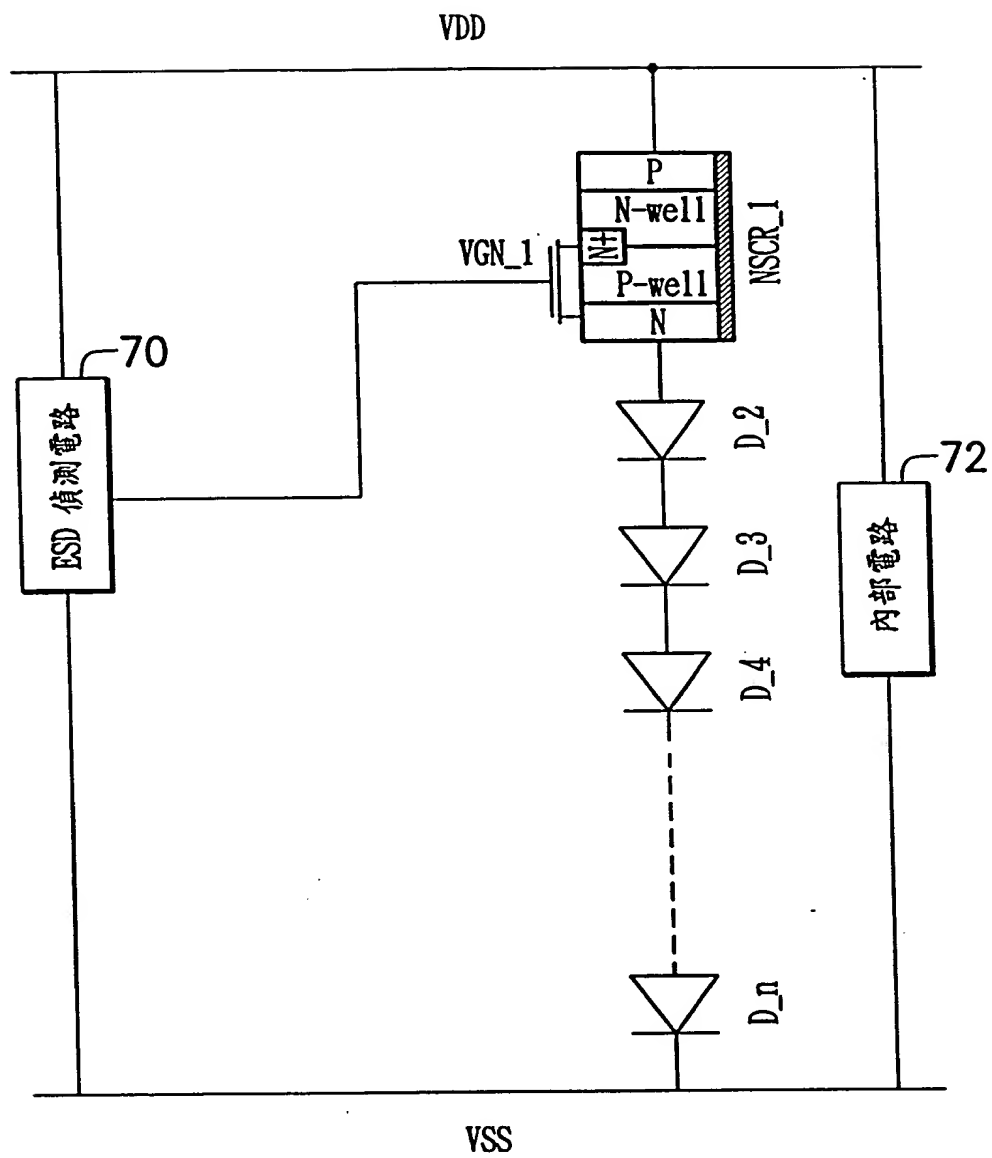
第 9 圖



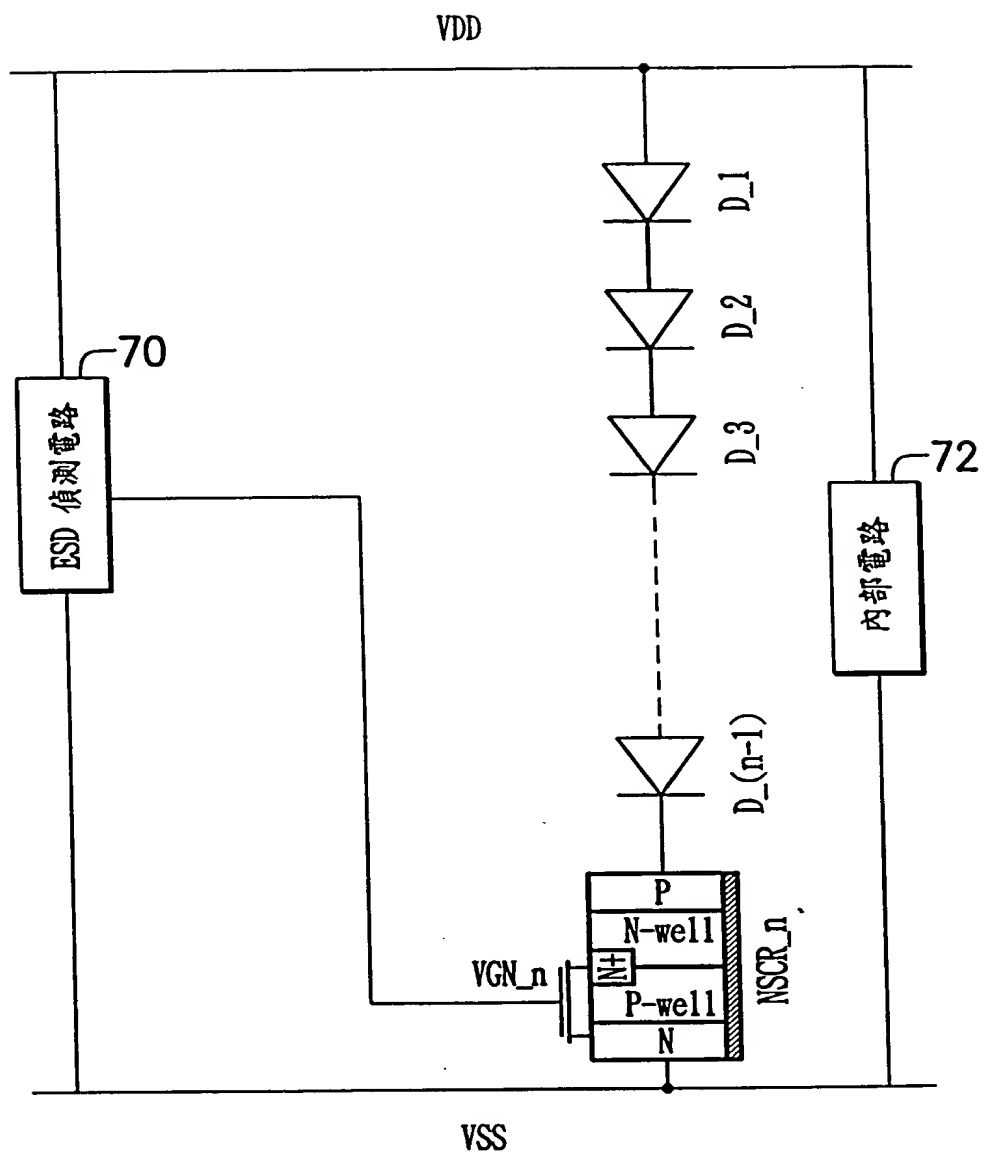
第 10 圖



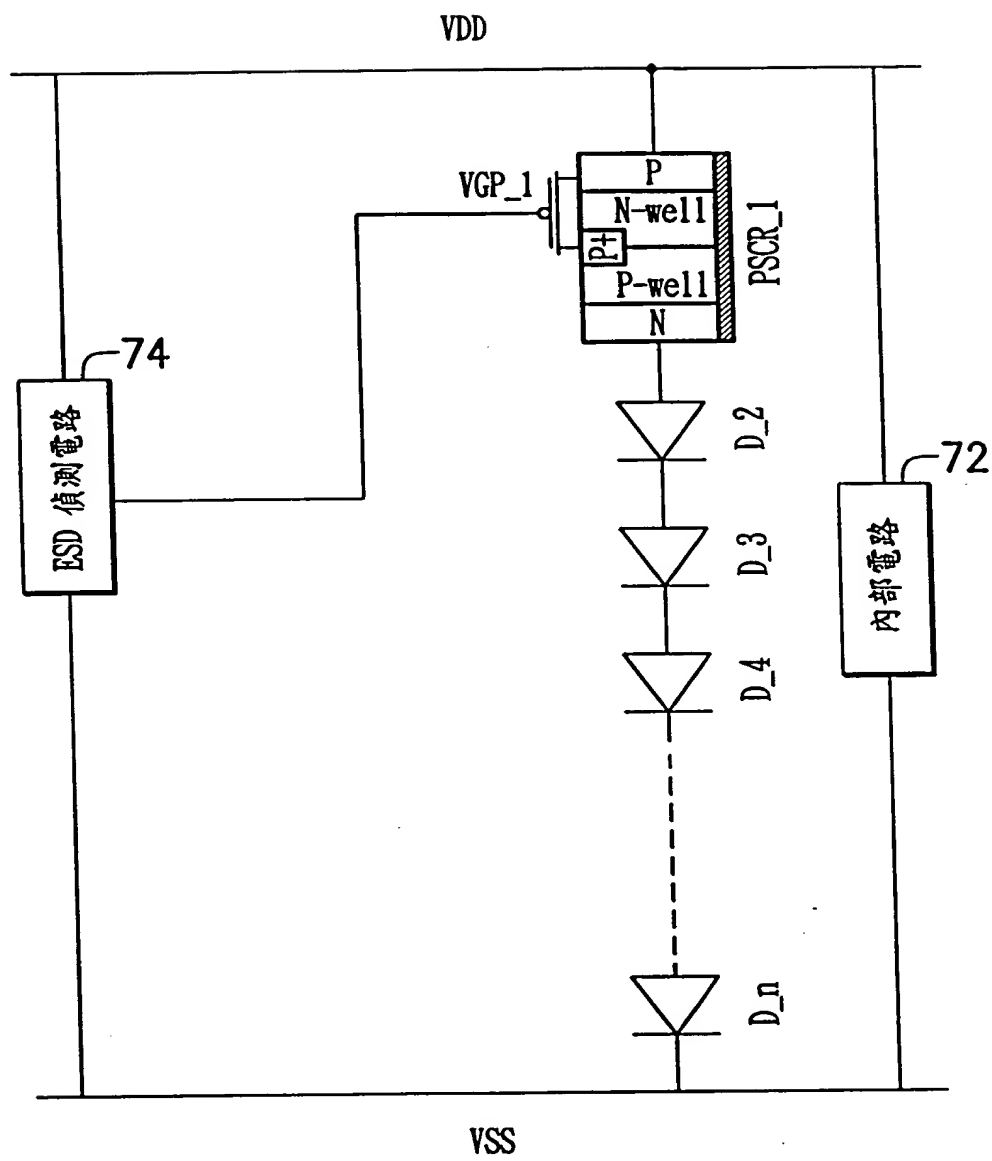
第 11 圖



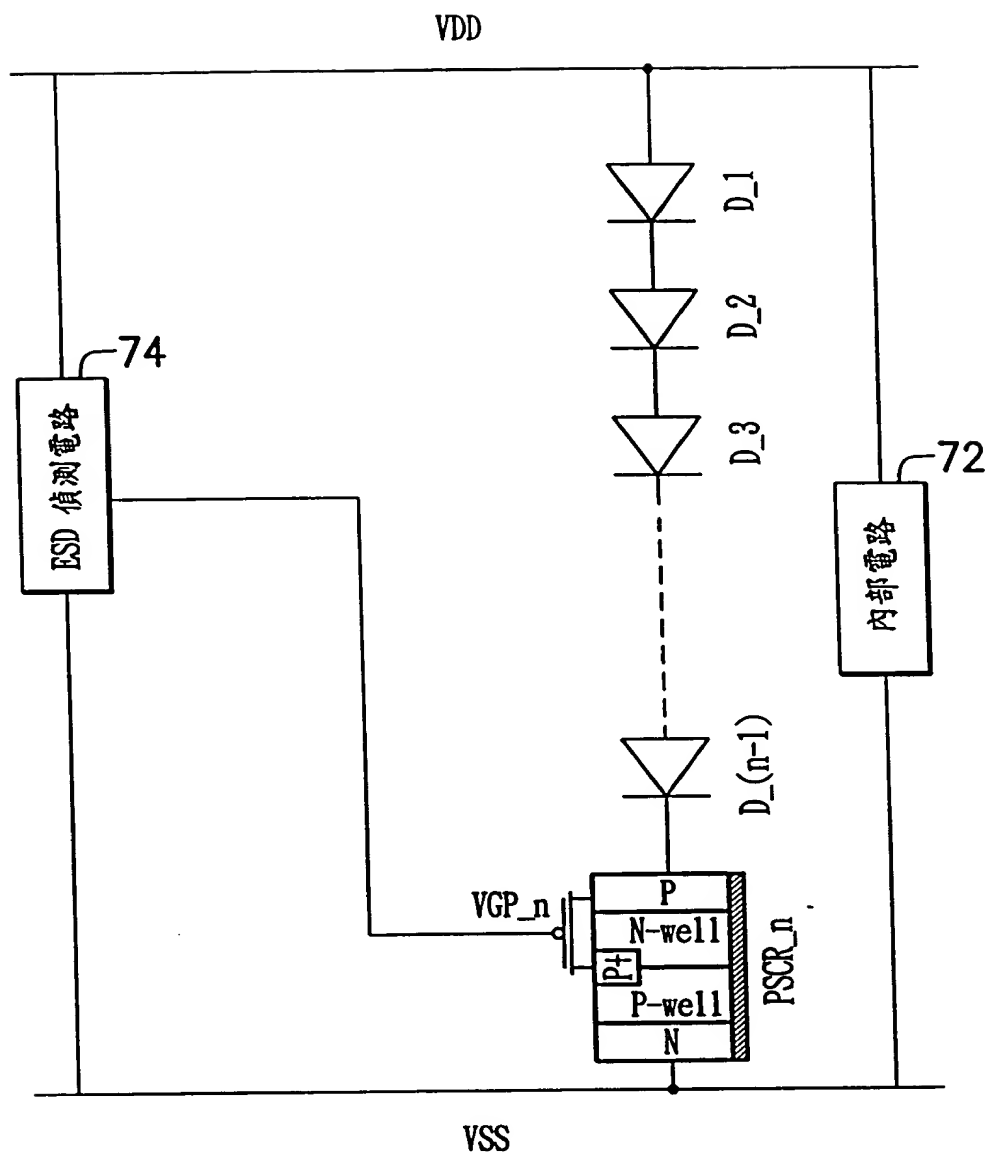
第 12 圖



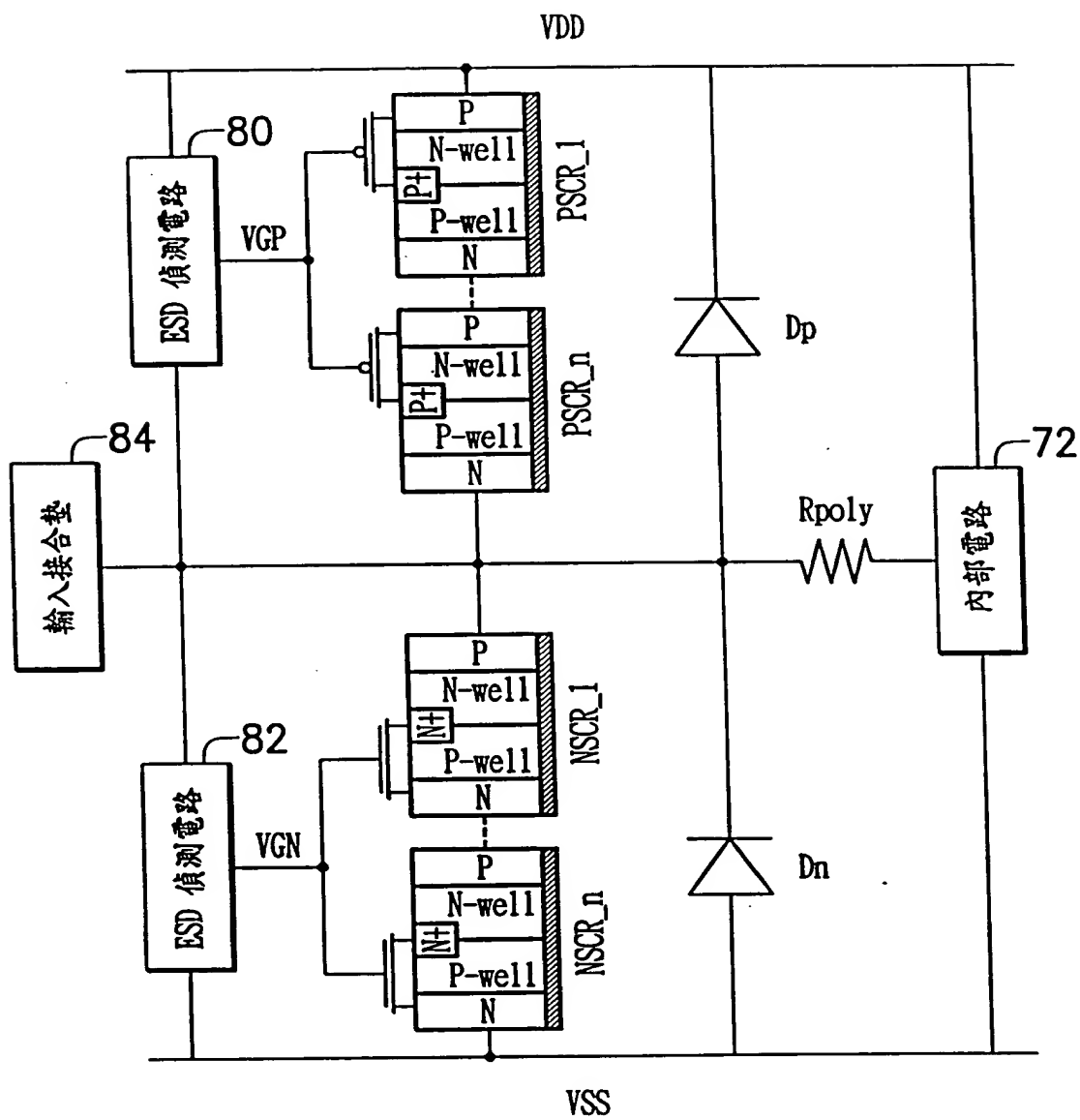
第 13 圖



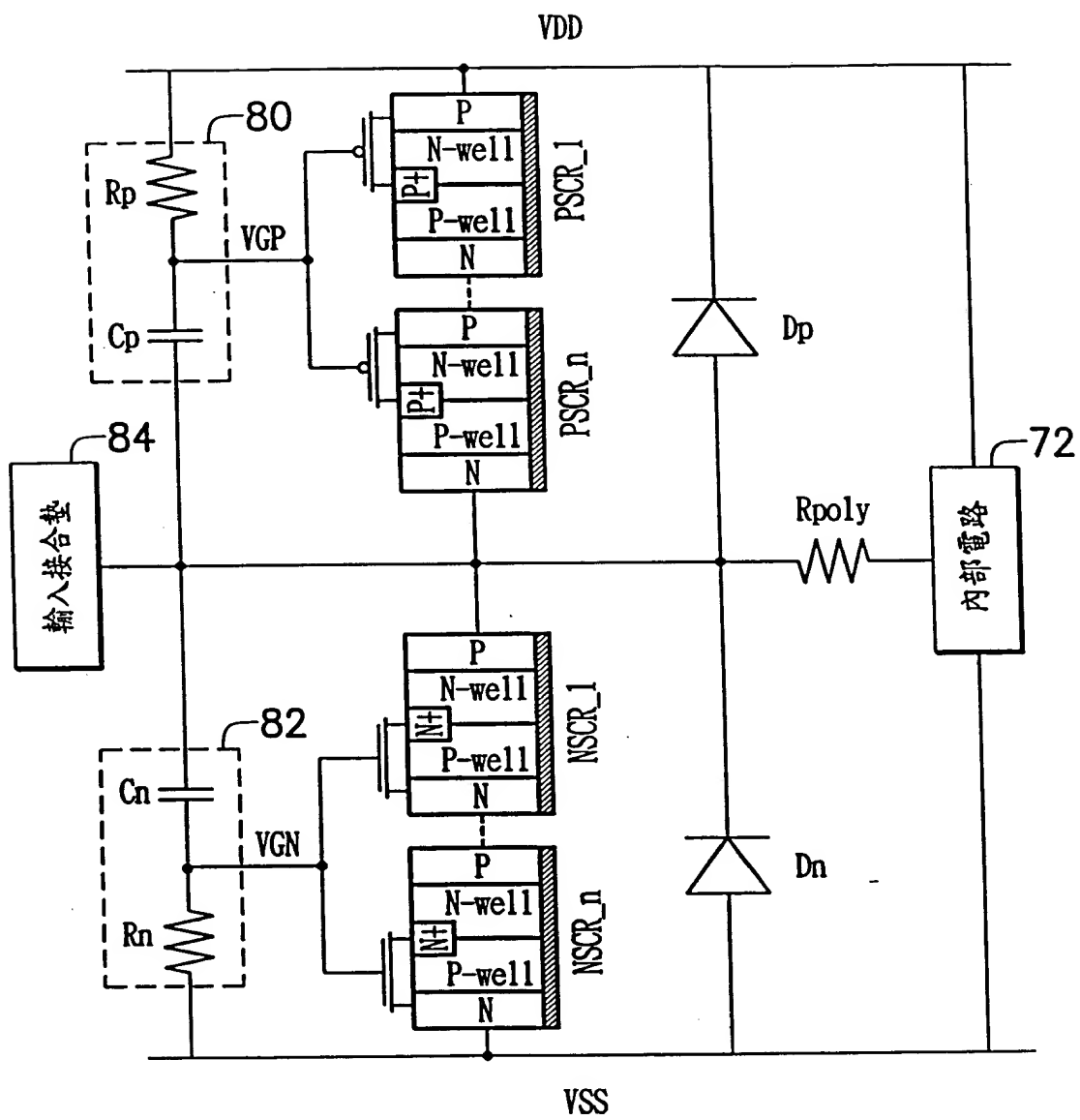
第 14 圖



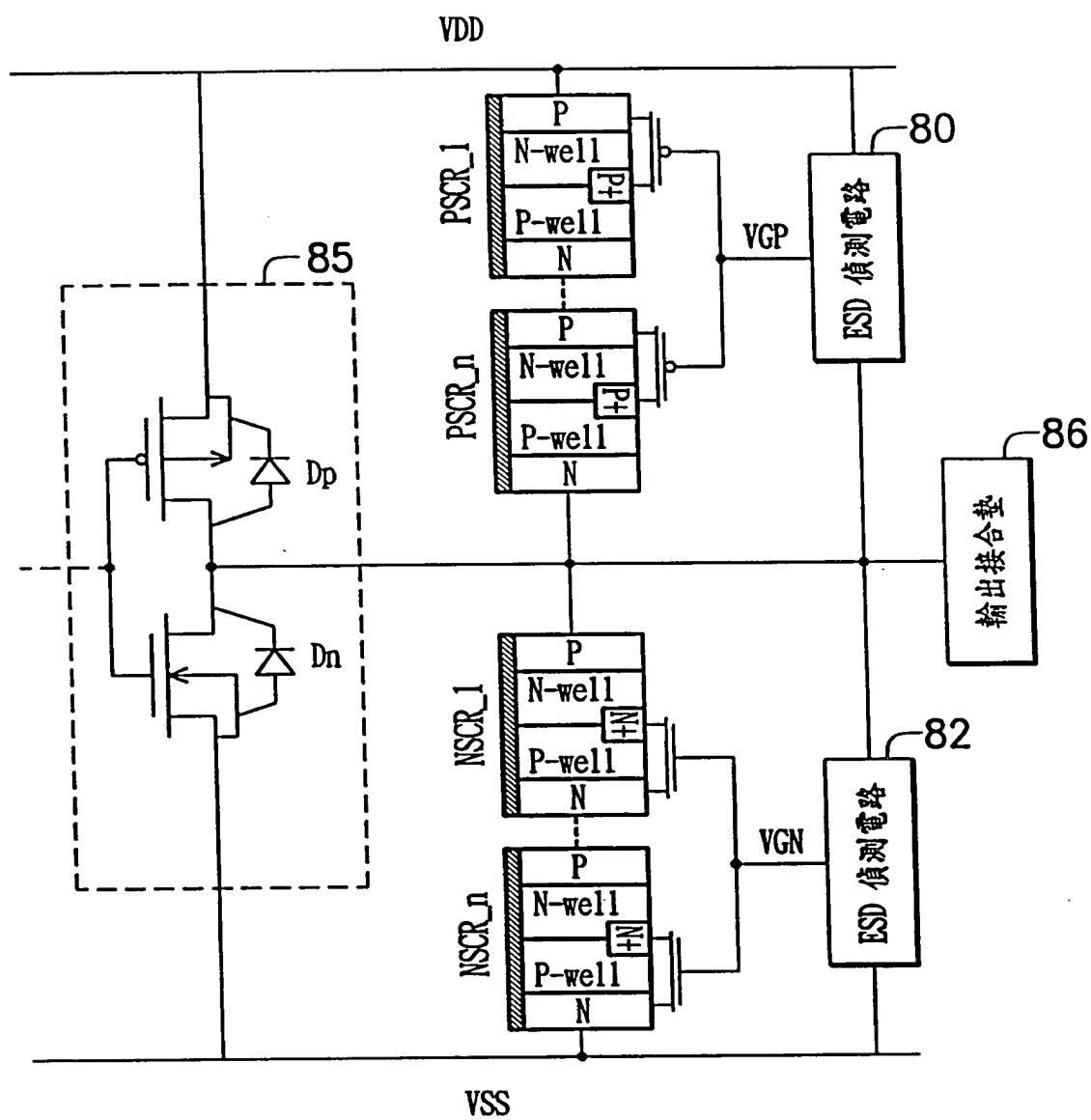
第 15 圖



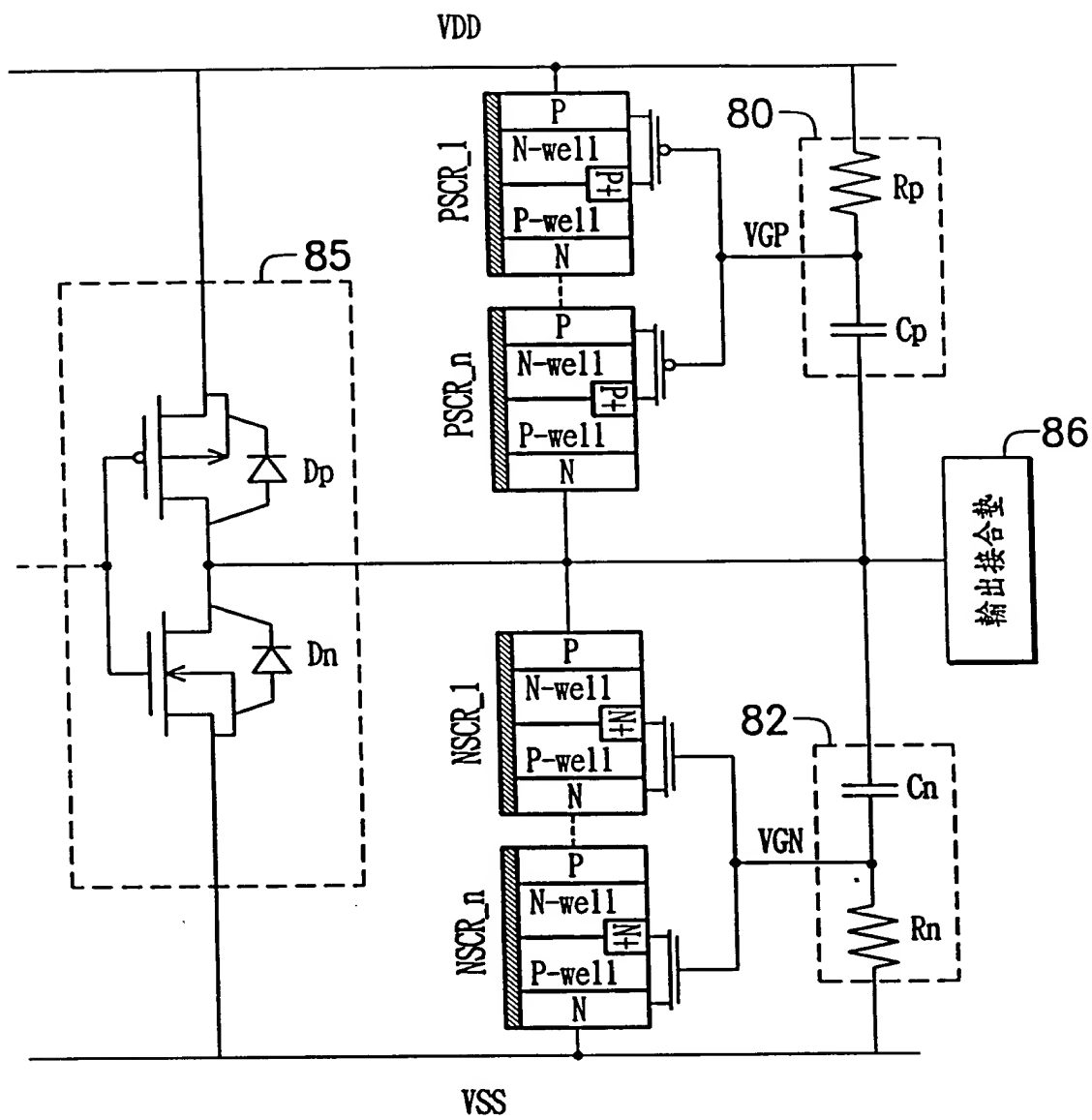
第 16 圖



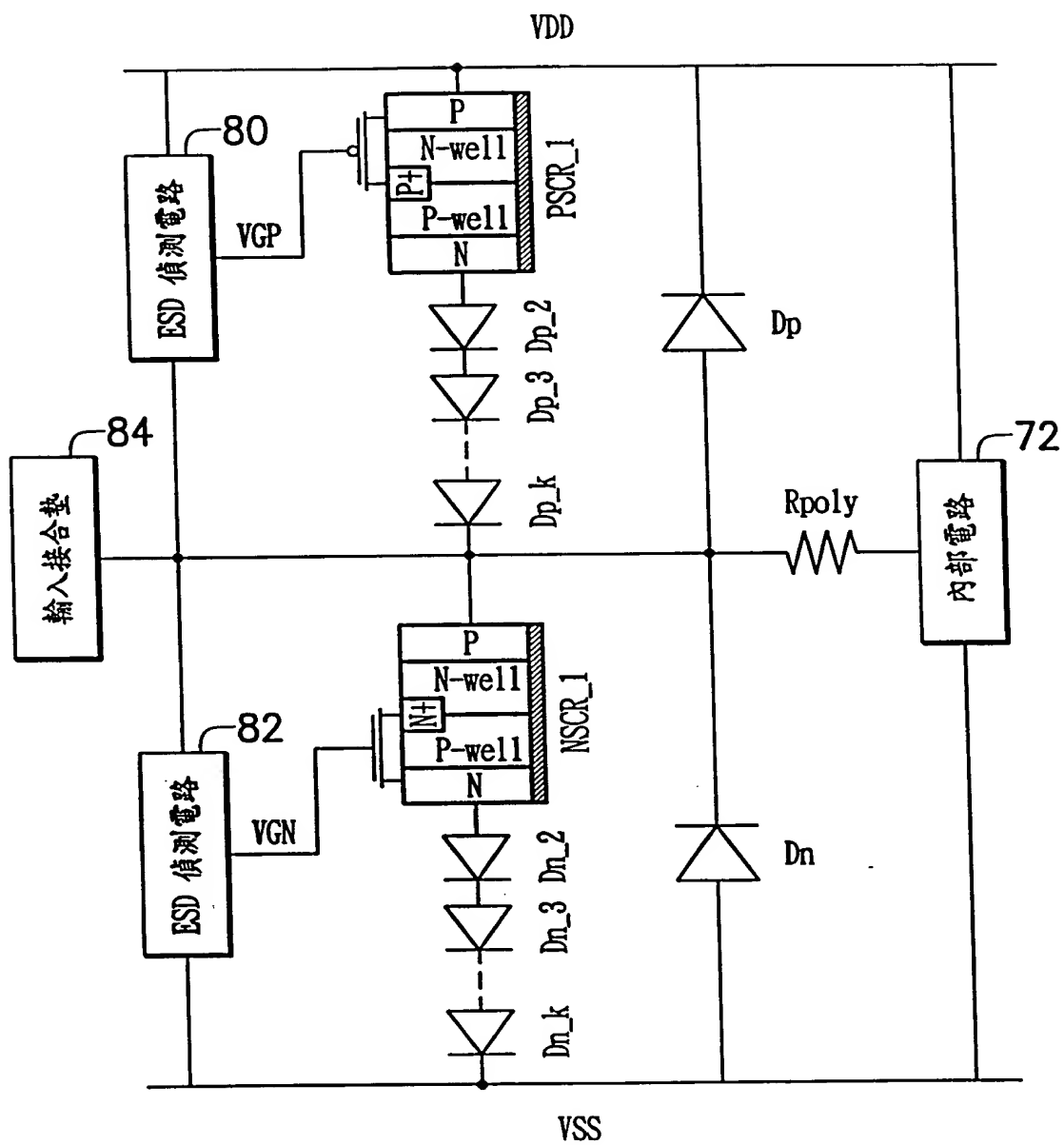
第 17 圖



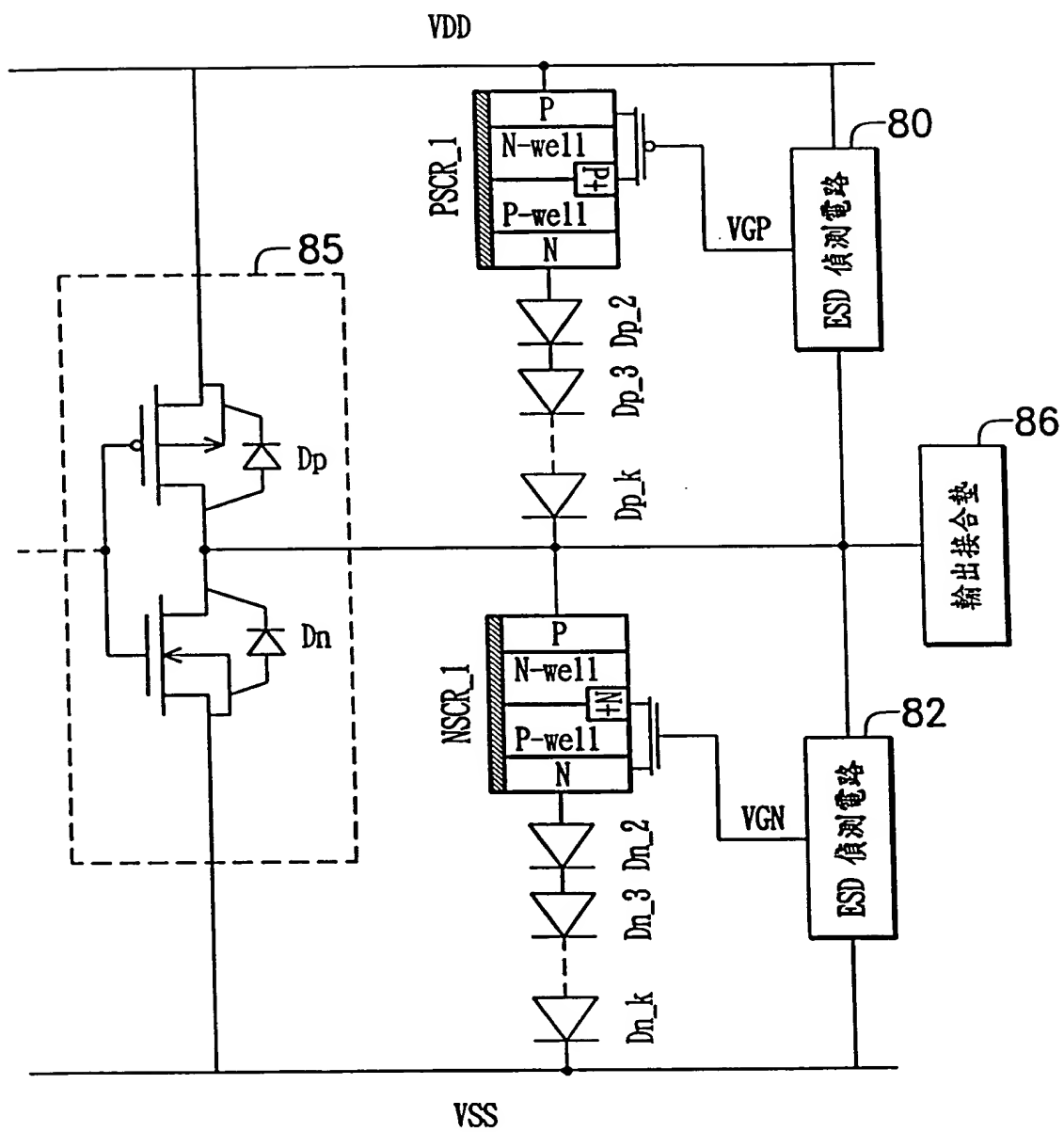
第 18 圖



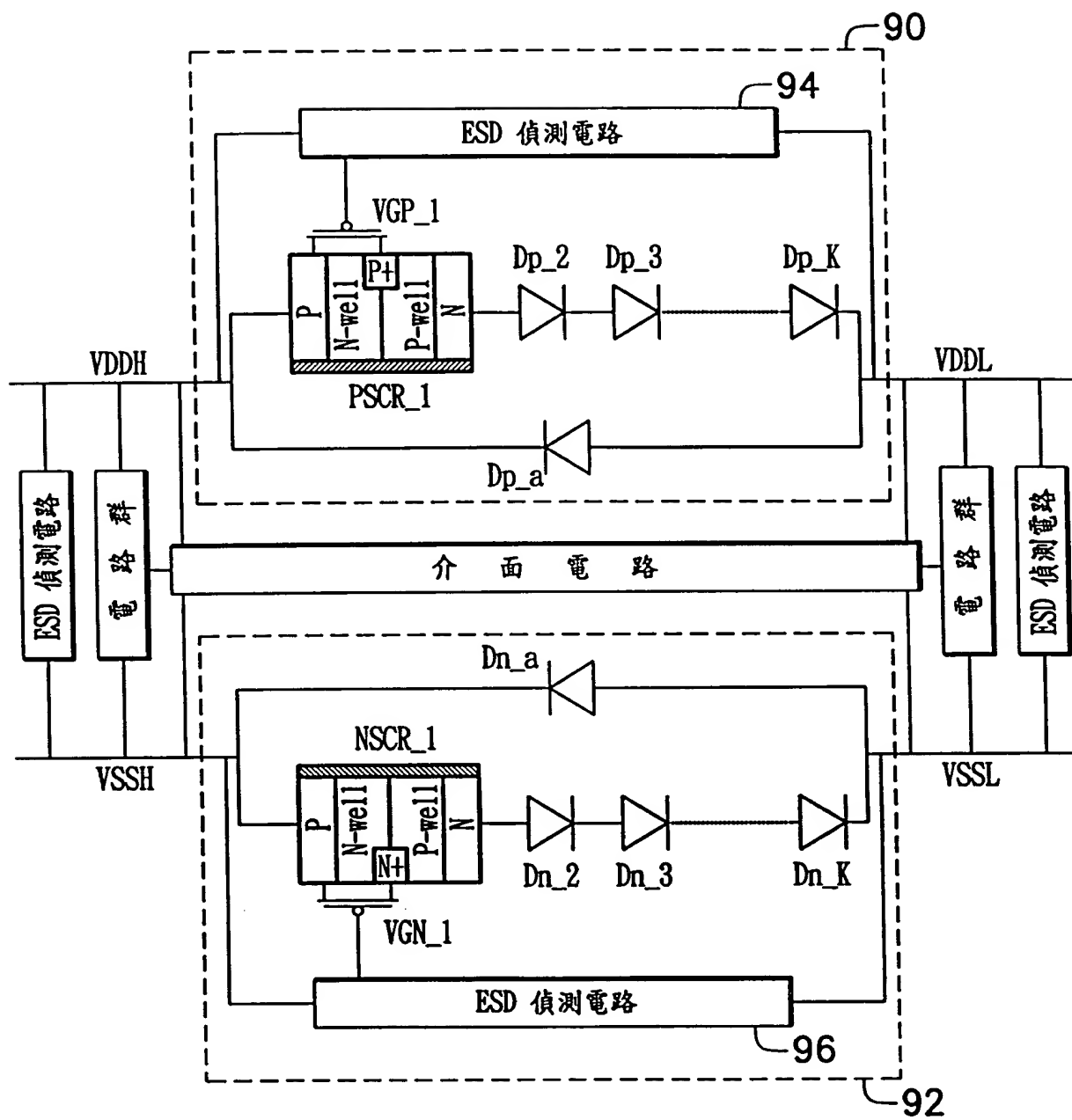
第 19 圖



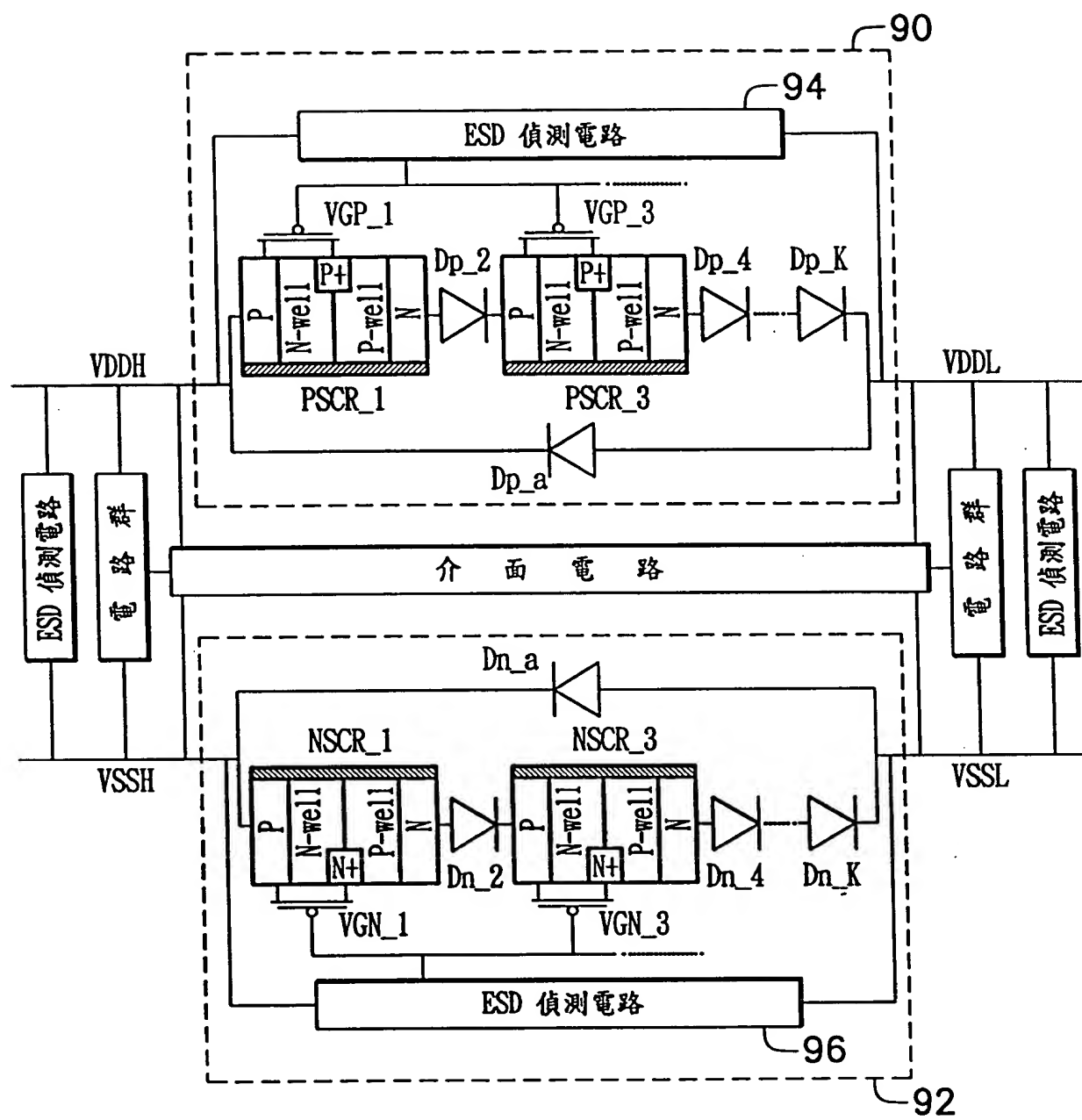
第 20 圖



第 21 圖



第 22 圖



第23圖

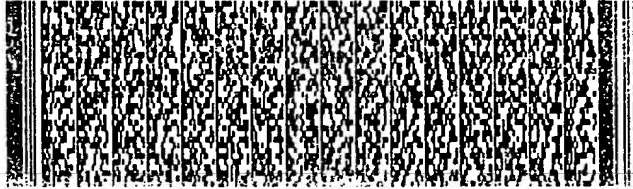
第 1/24 頁



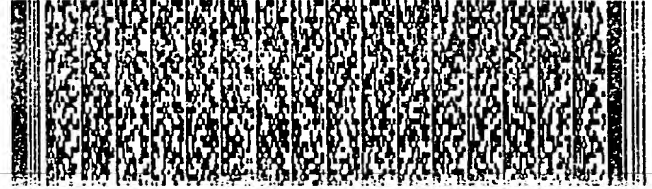
第 2/24 頁



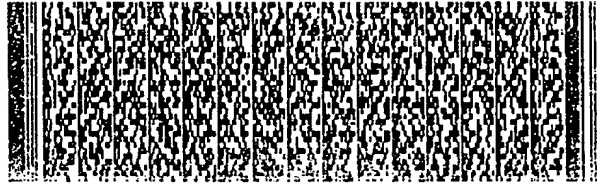
第 4/24 頁



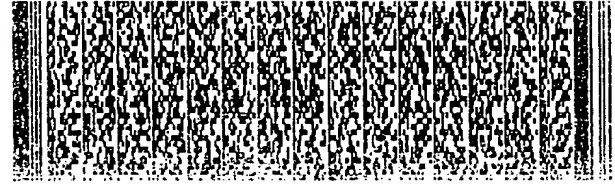
第 4/24 頁



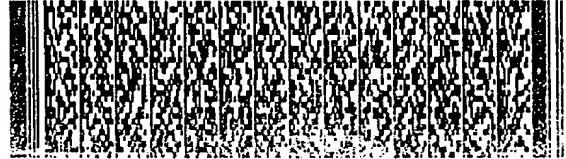
第 5/24 頁



第 5/24 頁



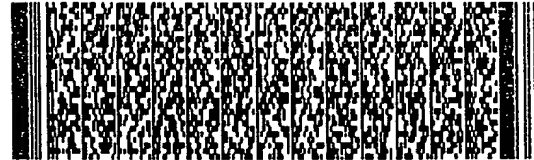
第 6/24 頁



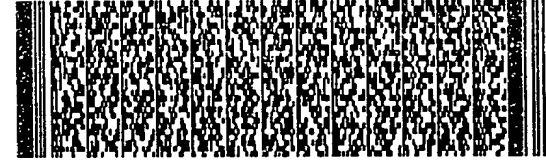
第 6/24 頁



第 7/24 頁



第 7/24 頁



第 8/24 頁



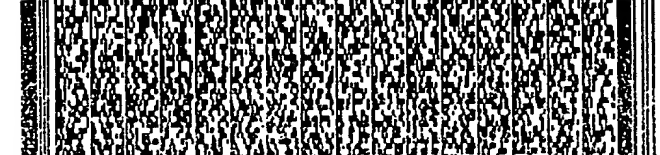
第 9/24 頁



第 9/24 頁



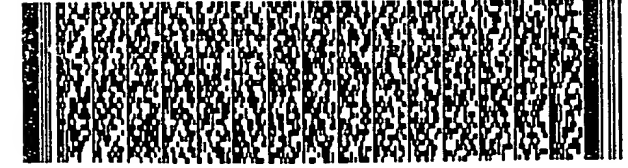
第 10/24 頁



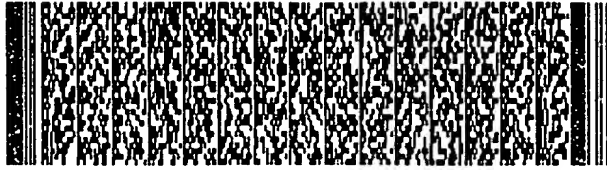
第 10/24 頁



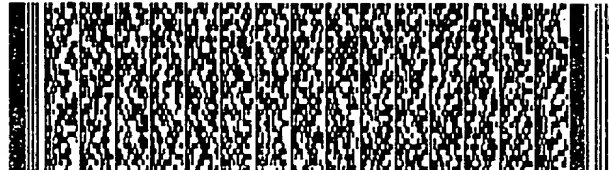
第 11/24 頁



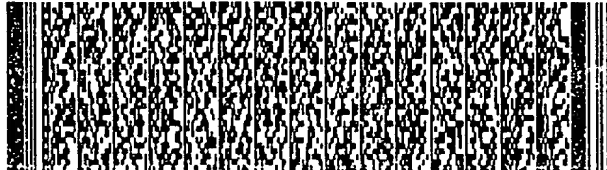
第 11/24 頁



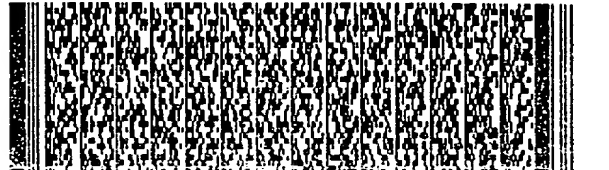
第 12/24 頁



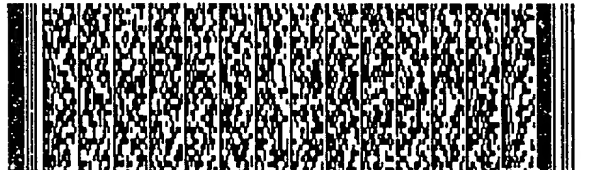
第 12/24 頁



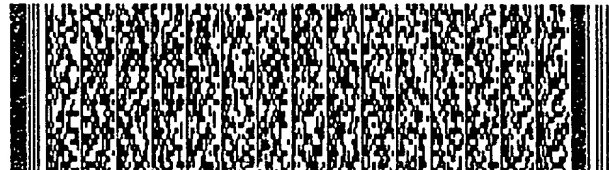
第 13/24 頁



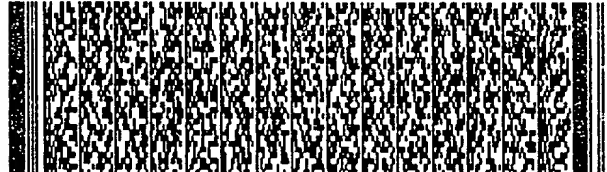
第 13/24 頁



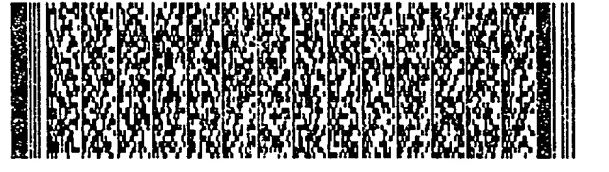
第 14/24 頁



第 14/24 頁



第 15/24 頁



第 15/24 頁



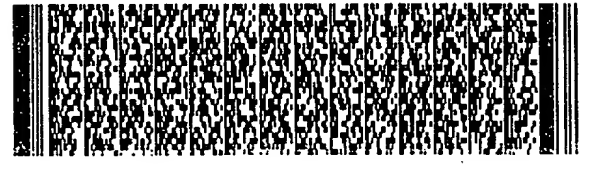
第 16/24 頁



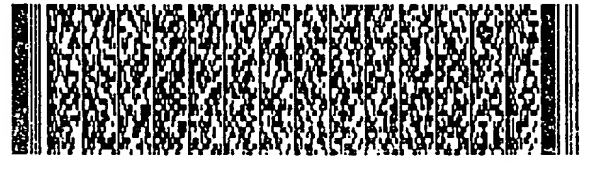
第 16/24 頁



第 17/24 頁



第 17/24 頁



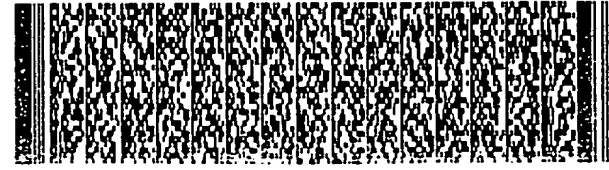
第 18/24 頁



第 18/24 頁



第 19/24 頁



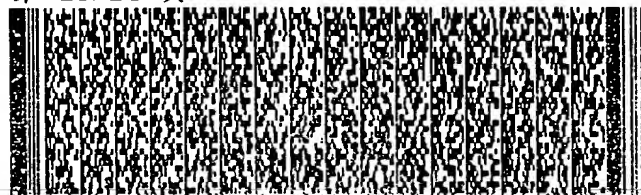
第 19/24 頁



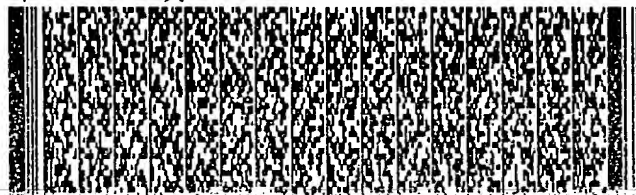
第 20/24 頁



第 21/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

